

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF ELECTION
(PCT Rule 61.2)

Date of mailing (day/month/year) 30 October 2000 (30.10.00)	To: Commissioner US Department of Commerce United States Patent and Trademark Office, PCT 2011 South Clark Place Room CP2/5C24 Arlington, VA 22202 ETATS-UNIS D'AMERIQUE in its capacity as elected Office
International application No. PCT/JP00/01521	Applicant's or agent's file reference M00-Y-034CT1
International filing date (day/month/year) 14 March 2000 (14.03.00)	Priority date (day/month/year) 15 March 1999 (15.03.99)
Applicant YAMAMOTO, Shinji et al	

1. The designated Office is hereby notified of its election made:

in the demand filed with the International Preliminary Examining Authority on:
10 October 2000 (10.10.00)

in a notice effecting later election filed with the International Bureau on:

2. The election was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer R. Forax Telephone No.: (41-22) 338.83.38
---	--

THIS PAGE BLANK (USPTO)

特許協力条約

P C T

国際調査報告

(法8条、法施行規則第40、41条)
〔P C T 18条、P C T規則43、44〕

出願人又は代理人 M O O - の書類記号 Y - 0 3 4 C T 1	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記5を参照すること。		
国際出願番号 P C T / J P 0 0 / 0 1 5 2 1	国際出願日 (日.月.年)	1 4. 0 3. 0 0	優先日 (日.月.年)
出願人 (氏名又は名称) 松下電器産業株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 18条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際調査機関に提出された書面による配列表
 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない (第I欄参照)。

3. 発明の單一性が欠如している (第II欄参照)。

4. 発明の名称は 出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものを承認する。

第III欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl' H03F 3/68, 3/72

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl' H03F 3/68, 3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996 年
 日本国公開実用新案公報 1971-2000 年
 日本国実用新案登録公報 1996-2000 年
 日本国登録実用新案公報 1994-2000 年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 10-313259, A (ソニー株式会社) 24. 11月. 1998 (24. 11. 98) (ファミリーなし)	1-4, 6, 10-11, 17
A		5, 7-9, 12-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの

「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
て出願と矛盾するものではなく、発明の原理又は理
論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.06.00

国際調査報告の発送日

20.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

矢島 伸一

印

5T 9060

電話番号 03-3581-1101 内線 3567

THIS PAGE BLANK (USPTO)

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 2679495, B2 (松下電器産業株式会社) 1. 8月. 1997 (01. 08. 97) (ファミリーなし)	1-4, 6, 10-11 17
A	JP, 10-65466, A (アナディジックス、インコーポレイ テッド) 6. 3月. 1998 (06. 03. 98) &US, 5774017, A	1-17

THIS PAGE BLANK (USPTO)

特許協力条約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 19 JAN 2001

WIPO PCT

出願人又は代理人 の書類記号 M00-Y-034CT1	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JPO0/01521	国際出願日 (日.月.年) 14.03.00	優先日 (日.月.年) 15.03.99
国際特許分類 (IPC) Int.C1' H03F 3/68, 3/72, H04B 1/18		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。

3. この国際予備審査報告は、次の内容を含む。

I 国際予備審査報告の基礎

II 優先権

III 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

IV 発明の単一性の欠如

V PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

VI ある種の引用文献

VII 国際出願の不備

VIII 国際出願に対する意見

国際予備審査の請求書を受理した日 10.10.00	国際予備審査報告を作成した日 25.12.00
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 矢島伸一 電話番号 03-3581-1101 内線 3527
	5T 9060 印

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17)

出願時の国際出願書類

明細書 第 1-3, 23 ページ、
明細書 第 4 ページ、
明細書 第 _____ ページ、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

請求の範囲 第 2-6, 9-17 項、
請求の範囲 第 _____ 項、
請求の範囲 第 1 項、
請求の範囲 第 _____ 項、
出願時に提出されたもの
PCT19条の規定に基づき補正されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

図面 第 1-33 ページ/図、
図面 第 _____ ページ/図、
図面 第 _____ ページ/図、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

國際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
 PCT規則48.3(b)にいう国際公開の言語
 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

明細書 第 _____ ページ
 請求の範囲 第 7, 8 項
 図面 図面の第 _____ ページ/図

5. この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-6, 9-17 有
請求の範囲 _____ 無

進歩性 (I S)

請求の範囲 1-6, 9-17 有
請求の範囲 _____ 無

産業上の利用可能性 (I A)

請求の範囲 1-6, 9-17 有
請求の範囲 _____ 無

2. 文献及び説明 (PCT規則70.7)

文献1: JP, 10-313259, A
 文献2: JP, 2679495, B2
 文献3: JP, 10-65466, A

請求の範囲1-6, 9-17に係る発明は、国際調査報告で引用された文献1-3のいずれにも開示されておらず、新規性を有する。

請求の範囲1-6, 9-17に記載された発明は、国際調査報告で引用された文献1, 2に対して進歩性を有する。

文献1には、同一半導体基板上に、周波数範囲が異なる2つ以上の信号が各々入力される2個以上の半導体素子と、各半導体素子をon/off制御する制御端子を設けることが記載されている。

文献2には、周波数範囲が異なる2つ以上の信号が各々入力される2個以上の半導体素子と、各半導体素子の一端に共通に接続される定電流源とを備え、各半導体素子の1個に、この半導体素子をon/off制御する制御端子を設ける点が示されている。

本願出願人はこうした技術に加え、2個以上の半導体素子の一端に共通に接続される定電流源の定電流値を2個以上の半導体素子のうち、より低歪みが要求される半導体素子に必要な電流値に設定することを見いだしたのであって、定電流源が記載されている文献2においても、定電流値の設定について具体的な記載はなく、同文献から導くことのできない予期せぬものである以上、請求の範囲に記載された発明は当業者が容易に想到し得ないものである。

THIS PAGE BLANK (USPTO)

37
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference M00-Y-034CT1	FOR FURTHER ACTION	See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)
International application No. PCT/JP00/01521	International filing date (day/month/year) 14 March 2000 (14.03.00)	Priority date (day/month/year) 15 March 1999 (15.03.99)
International Patent Classification (IPC) or national classification and IPC H03F 3/68, 3/72, H04B 1/18		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet. <input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of _____ sheets.
3. This report contains indications relating to the following items: <ul style="list-style-type: none">I <input checked="" type="checkbox"/> Basis of the reportII <input type="checkbox"/> PriorityIII <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicabilityIV <input type="checkbox"/> Lack of unity of inventionV <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statementVI <input type="checkbox"/> Certain documents citedVII <input type="checkbox"/> Certain defects in the international applicationVIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 10 October 2000 (10.10.00)	Date of completion of this report 25 December 2000 (25.12.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01521

I. Basis of the report

1. With regard to the elements of the international application:*

 the international application as originally filed the description:

pages 1-3,23, as originally filed

pages 4, filed with the demand

pages , filed with the letter of

 the claims:

pages 2-6,9-17, as originally filed

pages , as amended (together with any statement under Article 19

pages 1, filed with the demand

pages , filed with the letter of

 the drawings:

pages 1-33, as originally filed

pages , filed with the demand

pages , filed with the letter of

 the sequence listing part of the description:

pages , as originally filed

pages , filed with the demand

pages , filed with the letter of

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language which is:

 the language of a translation furnished for the purposes of international search (under Rule 23.1(b)). the language of publication of the international application (under Rule 48.3(b)). the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

 contained in the international application in written form. filed together with the international application in computer readable form. furnished subsequently to this Authority in written form. furnished subsequently to this Authority in computer readable form. The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished. The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.4. The amendments have resulted in the cancellation of: the description, pages _____ the claims, Nos. 7,8 the drawings, sheets/fig _____5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01521

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-6,9-17	YES
	Claims		NO
Inventive step (IS)	Claims	1-6,9-17	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-6,9-17	YES
	Claims		NO

2. Citations and explanations

DOCUMENT 1: JP, 10-313259, A

Document 2: JP, 2679495, B2

Document 3: JP, 10-65466, A

The inventions described in claims 1-6 and 9-17 are not disclosed in any of the documents 1-3 cited in the ISR and appear to involve novelty.

The inventions described in claims 1-6 and 9-17 appear to involve an inventive step with regard to documents 1 and 2 cited in the ISR.

Document 1 describes providing two or more semiconductor elements for input of two or more signals having different frequencies on the same semiconductor device and providing a control terminal for turning each semiconductor element on and off.

Document 2 describes providing two or more semiconductor elements for input of two or more signals having different frequencies and providing a constant current source connected to one end of each semiconductor element in common, and indicates the point about providing a control terminal for turning each semiconductor element on and off for each single semiconductor element.

In addition to this art, the present applicant discovered that the constant current value of the constant current source connected to one end of two or more semiconductor elements in common is set to the current value required by the semiconductor element of the two or more semiconductor elements that requires lower distortion, and even document 2, which describes a constant current source, does not specifically describe the constant current value setting, and it could not be deduced from this document, so the invention described in the claims could not be easily conceived by a person skilled in the art.

THIS PAGE BLANK (USPTO)

PCT

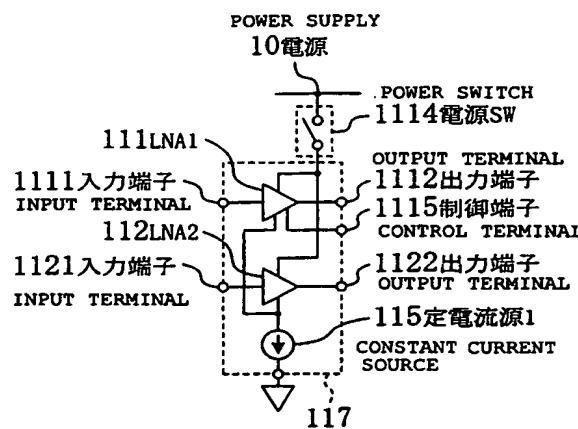
世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 H03F 3/68, 3/72	A1	(11) 国際公開番号 WO00/55967
		(43) 国際公開日 2000年9月21日(21.09.00)
(21) 国際出願番号 PCT/JP00/01521		渡邊厚司(WATANABE, Atsushi)[JP/JP] 〒571-0063 大阪府門真市常称寺町16-1-1221 Osaka, (JP)
(22) 国際出願日 2000年3月14日(14.03.00)		(74) 代理人 前田 弘, 外(MAEDA, Hiroshi et al.) 〒550-0004 大阪府大阪市西区鞠本町1丁目4番8号 太平ビル Osaka, (JP)
(30) 優先権データ 特願平11/68252 1999年3月15日(15.03.99)	JP	(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)		添付公開書類 国際調査報告書
(72) 発明者 ; および (75) 発明者/出願人 (米国についてのみ) 山本真司(YAMAMOTO, Shinji)[JP/JP] 〒534-0001 大阪府大阪市都島区毛馬町3-2-2-219 Osaka, (JP) 本吉 要(MOTOYOSHI, Kaname)[JP/JP] 〒662-0837 兵庫県西宮市広田町9-10 Hyogo, (JP) 福本信治(FUKUMOTO, Shinji)[JP/JP] 〒567-0034 大阪府茨木市中穂積1-5-A-717 Osaka, (JP) 日高賢一(HIDAKA, Kenichi)[JP/JP] 〒534-0016 大阪府大阪市都島区友渕町1-5-3-1512 Osaka, (JP)		

(54) Title: SEMICONDUCTOR DEVICE AND COMMUNICATION DEVICE

(54) 発明の名称 半導体装置及び通信装置



(57) Abstract

A first low-noise amplifier (LNA1 111) includes a control terminal (1115) for turn it ON and OFF. The first low-noise amplifier (LNA1 111) and a second low-noise amplifier (LNA2 112) have their respective power terminal connected together to a power supply (10) through a power supply switch (1114). The two amplifiers (LNA1 111, LNA2 112) have ground terminals connected together to ground through a constant current source (1115). When the voltage applied to the control terminal (1115) of the first low-noise amplifier (LNA1 111) is switched HIGH and LOW, both of the amplifiers (LNA1 111, LNA2 112) turn ON and OFF. The power supply switch (1114) is OFF for transmitting a signal. As a result, a LNA block can be composed of a single power supply switch (1114), decreasing the number of components and realizing a compact device.

第1の低雑音増幅器(LNA1 111)には、これをon・offする制御端子(1115)が備えられる。前記低雑音増幅器(LNA1 111)と第2の低雑音増幅器(LNA2 112)とは、電源端子を共通に接続されて、電源スイッチ(1114)を介して電源(10)に接続される。前記2個の増幅器(LNA1 111)、(LNA2 112)は接地端子を共通に接続され、この共通端子と接地との間に定電流源(1 115)が接続される。前記第1の低雑音増幅器(LNA1 111)の制御端子(1115)の印可電圧をHigh/Lowに切り替えることにより、前記両増幅器(LNA1 111)、(LNA2 112)のon・offの切替えを行う。前記電源スイッチ(1114)は、信号の送信時にoff制御される。従って、1個の電源スイッチ(1114)のみでLNAブロックを構成でき、従来よりも素子数を低減できて、小型化が実現される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レソト	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スウェーデン
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサオ	共和国	TT トリニダード・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴ	ID インドネシア	MR モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ベトナム
CN 中国	IS アイスランド	NE ニジエール	YU ユーロースラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノルウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュージーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

半導体装置及び通信装置

技術分野

本発明は、無線機器に用いられる高周波の半導体装置及び通信装置に関する。

背景技術

近年、通信チャンネル数確保のために1つの端末に2つの通信方式を内蔵したデュアルバンド携帯電話が盛んに研究されている。デュアルバンド携帯電話においては、2つの周波数帯を使用するため通常高周波ブロックに必要な低雑音増幅器(Low Noise Amplifier、以下LNAという)、パワーアンプ(Power Amplifier、以下PAという)、ダウンミキサ(Down Mixer、以下D-Mixという)、アップミキサ(Up Mixer、以下U-Mixという)、局部信号発生器(Voltage Controlled Oscillator、以下VCOという)が全て2個づつと、これ等を時分割動作させるための電源スイッチと、受信経路を切り替える受信経路切替えスイッチ(以下RX切替SWという)と、送信経路を切り替える送信経路切替えスイッチ(以下TX切替SWという)等が必要となる。

図32に従来のデュアルバンド携帯電話の高周波ブロックの一例を示す。同図において、101はアンテナ(以下ANTという)、102は1入力4出力のアンテナスイッチ(以下ANT-SWという)、111はLNA1、112はLNA2、121はD-Mix1、122はD-Mix2、131はU-Mix1、132はU-Mix2、141はPA1、142はPA2、151はVCO1、152はVCO2、161はRX切替SW、162はTX切替SWである。

以下、図32に示した高周波ブロックの動作について簡単に説明する。

ANT 101は空中の電波を捕らえ、電話内部へと導く。ANT-SW 102は4つの信号経路RX1, RX2, TX1, TX2の何れか1つとANT 101とを接続する。

次に、受信側の動作について説明する。今、信号経路RX1を例に挙げて説明する。ANT 101において受信された周波数fRX1の信号は、LNA1 111によって増幅さ

れ、D-Mix1 121に送られる。VC01 151は周波数fL01の信号を発生し、D-Mix1 121においてfRX1とfL01とがミキシングされることにより、周波数fIFへとダウンコンバートされる。この際、fRX1-fL01の絶対値はfIFである。信号経路RX2におけるLNA2 112、D-Mix2 122の動作も全く同様であり、この際にはANT 101において受信された周波数fRX2とVC02 152において発生された周波数fL02とが、D-Mix2 122においてミキシングされることにより、周波数fIFへとダウンコンバートされる。この際、fRX2-fL02の絶対値はfIFである。RX切替SW 161はD-Mix1 121、D-Mix2 122の信号を切り替えるが、共に、D-Mixの出力端子の周波数はfIFであるので、RX切替SW 161以降の回路は共通化することができる。

次に、送信側の動作について説明する。今、信号経路TX 1を例に挙げて説明する。TX切替SW 162はU-Mix1 131、U-Mix2 132の何れかに信号を入力するために切り替えるが、何れの場合であっても、信号の周波数はfMODである。VC01 151は周波数fL01の信号を発生し、U-Mix1 131において周波数fMOD、fL01の両信号がミキシングされることにより、周波数fTX1へとアップコンバートされる。この際、fL01とfMODとの和がfTX1となる。PA1 141はU-Mix1 131からの周波数fTX1の信号をアンテナ送信出力まで増幅する。信号経路TX2におけるU-Mix2 132、PA2 142の動作も全く同様であって、この際には、fL02とfMODとの和がfTX2となる。

今、図3 2において、特にLNAブロックについてのみ注目して、デュアルバンド携帯電話のLNAブロックの構成を詳細に説明する。

図3 3に従来のデュアルバンド携帯電話のLNAブロックの一例を示す。10は電源、1111はLNA1 111の入力端子、1121はLNA2 112の入力端子、1112はLNA1 111の出力端子、1122はLNA2 112の出力端子、1114はLNA1 111の電源SW、1124はLNA2 112の電源SWである。図3 3において、周辺整合部品等は省略しており、破線で囲まれた領域は各々1つの個別の素子を示している。これは以下の図においても同様である。

LNA1 1114の電源SWは、LNA1 111の電源端子と電源10の間に接続され、LNA1 11

1の電源をon・offする。LNA2 1124の電源SWは、LNA2 112の電源端子と電源10の間に接続され、LNA2 112の電源をon・offする。LNA1 111、LNA2 112の各接地端子は共に接地に接続される。

携帯電話においては、長い通話時間を確保するために、低消費電力化が重要である。そこで、動作していない素子の電源をoffとするのが一般的である。即ち、LNA1 111を動作させる場合には、LNA2 112の電源をoffとするので、電源SW 1114をon、電源SW 1124をoffとする。逆に、LNA2 112を動作させる場合には、LNA1 11の電源をoffとするので、電源SW 1124をon、電源SW 1114をoffとする。また、送信時には、LNA1 111、LNA2 112共にonにする必要がないので、双方の電源SW 1114、1124を共にoffとする。

電源SWとしては一般的にトランジスタやレギュレータ等の3～4端子の素子が用いられ、LNAとしてはSiバイポーラトランジスタやGaAs FET等の3～4端子の素子が用いられる。従って、LNAブロック全体で、電源SWとして3～4端子の素子が2個と、LNAとして3～4端子の素子が2個の合計4個の素子が必要である。また、このLNAブロックに限らず、他のPA、D-Mix、U-Mixの3ブロックにおいても全く同様であって、各ブロック毎に電源SW 2個とトランジスタ等の増幅素子が2個との合計4個の素子が必要である。

つまり、従来の素子を用いてデュアルバンド携帯電話を構成する場合には、シングルバンド携帯電話と比較して2倍の部品点数が必要となり、その結果、基板上の実装面積が大きくなってしまい、端末の小型化が困難になる。

本発明の目的は、デュアルバンド携帯電話の高周波ブロックにおいて、部品点数を削減して、デュアルバンド携帯端末の小型化を実現することにある。

発明の開示

以上の目的を達成するため、本発明では、デュアルバンド携帯電話等の通信装置において、LNAブロックやD-Mixブロック等に備える複数個のLNAやD-Mixを、電

源SWを用いずに任意に選択切換できるようにする。

即ち、請求の範囲第1項記載の発明の半導体装置は、同一半導体基板上に、周波数範囲が異なる2つ以上の信号が各々入力される2個以上の半導体素子と、前記各半導体素子の一端に共通に接続される定電流源とを備え、前記各半導体素子のうち少なくとも1個には、この半導体素子をon/off制御する制御端子が設けられることを特徴としている。

請求の範囲第2項記載の発明は、前記第1項記載の半導体装置において、前記各半導体素子は電力增幅素子であることを特徴とする。

請求の範囲第3項記載の発明は、前記第1項記載の半導体装置において、前記各半導体素子は周波数変換素子であることを特徴とする。

請求の範囲第4項記載の発明は、前記第2項記載の半導体装置において、前記電力增幅素子は、電界効果トランジスタにより構成されることを特徴とする。

請求の範囲第5項記載の発明は、前記第3項記載の半導体装置において、前記周波数変換素子は、デュアルゲート型電界効果トランジスタにより構成されることを特徴とする。

請求の範囲第6項記載の発明は、前記第1項、第2項又は第3項記載の半導体装置において、前記各半導体素子の他端に共通に接続された電源スイッチを備えることを特徴とする。

請求の範囲第7項記載の発明は、前記第1項、第2項又は第3項記載の半導体装置において、前記定電流源は、その定電流値が、前記2個以上の半導体素子のうち、より低歪が要求される半導体素子に必要な電流値に設定されることを特徴とする。

請求の範囲第8項記載の発明は、前記第1項、第2項又は第3項記載の半導体装置において、前記定電流源は、その定電流値が、前記2個以上の半導体素子のうち、より高周波数範囲の信号を入力する半導体素子に必要な電流値に設定されることを特徴とする。

請求の範囲第 9 項記載の発明は、前記第 1 項、第 2 項又は第 3 項記載の半導体装置において、前記定電流源は、電界効果トランジスタと抵抗とを用いて構成されることを特徴とする。

請求の範囲第 10 項記載の発明は、前記第 1 項、第 2 項又は第 3 項記載の半導体装置において、前記 2 個以上の半導体素子と前記定電流源とは同一パッケージに封止されることを特徴とする。

請求の範囲第 11 項記載の発明は、前記第 1 項、第 2 項又は第 3 項記載の半導体装置において、前記 2 個以上の各半導体素子の有する出力端子は、共通に接続されて、各々の周波数範囲の全域で出力側リターンロスが -6 dB 以下で共用されることを特徴とする。

請求の範囲第 12 項記載の発明は、前記第 4 項又は第 5 項記載の半導体装置において、前記定電流源には、接地キャパシタが並列に接続されることを特徴としている。

請求の範囲第 13 項記載の発明は、前記第 12 項記載の半導体装置において、前記接地キャパシタは、入力される 2 以上の信号のうち低周波数範囲の信号の周波数でのインピーダンス値が、前記定電流源のインピーダンス値に対して十分に小さく設定されることを特徴とする。

請求の範囲第 14 項記載の発明は、前記第 12 項又は第 13 項記載の半導体装置において、電界効果トランジスタは、そのソースにインダクタが接続されることを特徴とする。

請求の範囲第 15 項記載の発明は、前記第 14 項記載の半導体装置において、前記インダクタは、前記接地キャパシタと直列に配置されることを特徴としている。

請求の範囲第 16 項記載の発明は、前記第 1 項、第 2 項又は第 3 項記載の半導体装置において、前記定電流源には、この定電流源を on/off 制御する制御端子が設けられることを特徴とする。

請求の範囲第 1 7 項記載の発明の通信装置は、前記第 1 項記載の半導体装置と、アンテナとを備えて、前記アンテナで受信する周波数範囲が異なる前記 2 つ以上の信号を各々前記半導体素子に入力し、又は、前記半導体素子により処理された周波数範囲が異なる 2 以上の信号を前記アンテナから出力することを特徴としている。

以上の構成により、請求の範囲第 1 項ないし第 1 0 項及び第 1 7 項記載の発明では、複数の半導体素子の on/off 動作が、これ等のうち少なくとも 1 個の半導体素子に備える制御端子の印加電圧でもって切換制御されて、複数の半導体素子のうち任意の 1 個の選択が自在にできる。従って、従来のように半導体素子の個数分必要であった電源 SW が 1 個で済むと共に、前記複数の半導体素子及び定電流源を 1 個の素子としてパッケージ可能である。よって、部品点数が削減されて、携帯端末の小型化が実現可能である。

また、請求の範囲第 1 1 項記載の発明では、複数の半導体素子の出力端子が相互に共用化されるので、パッケージ化される 1 個の素子の端子数が低減される。

更に、請求の範囲第 1 2 項及び第 1 3 項記載の発明では、備える半導体素子を電界効果トランジスタで構成した場合に、接地キャパシタによって、この電界効果トランジスタのソース端子が、高周波的には接地され、DC的にはオープンにされることにより、高周波特性が向上する。

加えて、請求の範囲第 1 4 項及び第 1 5 項記載の発明では、ソースインダクタにより、備える電界効果トランジスタのゲインを良好に確保しながら、その電界効果トランジスタの安定係数を向上させて、これ等電界効果トランジスタでの低い雑音指数と優れた入力リターンロスとの両立を図ることが可能である。

更に、請求の範囲第 1 6 項記載の発明では、電源 SW が不要であるので、1 個の素子のみで半導体ブロックを構成でき、より一層に部品点数が削減されて、携帯端末の小型化が実現可能である。

図面の簡単な説明

図1は本発明の第1の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

図2(a)は本発明の第2の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図、同図(b)はこのLNAブロックに備える2つの制御端子の電位の組合せに応じた3個のLNAの動作状態を説明した図である。

図3は本発明の第3の実施の形態のデュアルバンド携帯電話のD-mixブロックの構成の構成を示す図である。

図4は本発明の第4の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

図5は同実施の形態の変形例を示す図である。

図6(a)は本発明の第5の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図、同図(b)は定電流源の具体例を示す図である。

図7は同実施の形態の第1の変形例を示す図である。

図8は同実施の形態の第2の変形例を示す図である。

図9は同実施の形態の第3の変形例を示す図である。

図10は本発明の第6の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

図11は同実施の形態の第1の変形例を示す図である。

図12は同実施の形態の第2の変形例を示す図である。

図13は同実施の形態の第3の変形例を示す図である。

図14は本発明の第7の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

図15は同実施の形態の変形例を示す図である。

図16は本発明の第8の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

図17は同実施の形態の第1の変形例を示す図である。

図18は同実施の形態の第2の変形例を示す図である。

図19は同実施の形態の第3の変形例を示す図である。

図20(a)は同実施の形態の第4の変形例を示す図、同図(b)は制御端子付き定電流源の具体例を示す図である。

図21は同実施の形態の第5の変形例を示す図である。

図22は同実施の形態の第6の変形例を示す図である。

図23は同実施の形態の第7の変形例を示す図である。

図24は同実施の形態の第8の変形例を示す図である。

図25は同実施の形態の第9の変形例を示す図である。

図26は同実施の形態の第10の変形例を示す図である。

図27は同実施の形態の第11の変形例を示す図である。

図28は同実施の形態の第12の変形例を示す図である。

図29は同実施の形態の第13の変形例を示す図である。

図30はデジタル変調方式の電力増幅器の歪みを規定する隣接チャンネル漏洩電力の説明図である。

図31はLNAブロックに備える2個の低雑音増幅器間で出力端子が共用できる場合の条件を示す周波数-出力側リターンロス特性を示す図である。

図32は従来のデュアルバンド携帯電話の高周波ブロックの一例を示す図である。

図33は従来のデュアルバンド携帯電話のLNAブロックの一例を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて説明する。

尚、以下に説明する実施の形態では、デュアルバンド携帯電話のLNAブロック及びD-Mixブロックの場合についてのみ説明する。PAブロックは、取り扱う電力がL

NAブロックよりも大きいが、その回路構成がLNAブロックと全く同一であり、またU-Mixブロックは、各端子に入力される周波数がD-Mixブロックの場合とは異なるが、その回路構成がD-Mixブロックと同一であるので、省略する。

(第1の実施の形態)

図1は、通信装置としてのデュアルバンド携帯電話の内部に備える、本発明の第1の実施の形態に係るLNAブロックの構成を示す。同図において、111は第1のLNA1(半導体素子且つ電力増幅素子)、112は第2のLNA2(半導体素子且つ電力増幅素子)、10は電源、1114は電源SW、115は定電流源1である。また、1111は第1のLNA1 111の入力端子、1112は第1のLNA1 111の出力端子、1121は第2のLNA2 112の入力端子、1122は第2のLNA2 112の出力端子である。

前記第1及び第2のLNA1 111、LNA2 112の電源端子は共通に接続され、この共通端子と電源10の間に前記電源SW 1114が接続されている。また、第1及び第2のLNA1 111、LNA2 112の接地端子は共通に接続され、この共通端子と接地の間に前記定電流源1 115が接続されている。更に、第1のLNA1の入力端子1111及び出力端子1112、第2のLNA2の入力端子1121及び出力端子1122は、全て、端子として独立している。第1のLNA1 111と第2のLNA2 112とには、相互に異なった周波数範囲を持つ高周波信号が各々入力される。この両高周波信号の周波数範囲は、相互で一部重複する場合、又は重複せず全く異なる場合の何れの場合であっても良い。

そして、第1及び第2のLNA1 111、LNA2 112のうち、第1のLNA1 111には、この第1のLNA1 111をon/off制御する制御端子1115が設けられる。この制御端子1115の電位がHighの場合には第1のLNA1 111はonし、Lowの場合には第1のLNA1 111はoffする。

前記第1及び第2のLNA1 111、LNA2 112及び定電流源1 115は、図1に破線で囲んで示すように、同一の半導体基板上に集積化した回路素子1 1 7を構成し、この回路素子1 1 7が1つのパッケージに封止されている。

次に、図1に示したLNAブロックの動作を説明する。今、定電流源1 115の定電

流値をI1とする。図1の構成により、第1のLNA1 111の電流と第2のLNA2 112の電流との和は、定電流源1 115により常に定電流値I1となる。従って、第1のLNA1 111の制御端子1115にLowを印加した場合には、第1のLNA1 111がoffしてその電流値が”0”となる。この時、第2のLNA2 112の電流値は定電流値I1となり、第2のLNA2 112がonとなる。逆に、第1のLNA1 111の制御端子 1115にHighを印加した場合には、この第1のLNA1 111がonし、この第1のLNA1 111の電流値が前記定電流値I1となり、第2のLNA2 112はその電流値が”0”となってoffする。つまり、電源SW 1114に依らず、第1のLNA1 111の制御端子1115への印加電圧により、2個のLNA111、112の切替えが可能である。尚、電源SW1114 は、送信時にoff（開）制御されて、両LNA111、112を共にoffにする。

前記定電流源1 115の定電流値I1について説明する。LNAでは、Gainや歪等の高周波特性の仕様を満足するための最低消費電流が存在する。その最低消費電流値よりも大きい値の動作電流を流した場合には、高周波特性は基本的には向上するが、電流として無駄が生じる。今、第1及び第2のLNA1 111、LNA2 112の最低消費電流を各々I1min、I2minとした場合、本実施の形態においては、I1min=I2minであることが最も望ましい。この場合、定電流源1 115の定電流値I1は、I1min=I2min=I1と設定する。この設定によれば、消費電流に無駄はなくなる。

一方、前記2個のLNA1 111、LNA2 112において、その有する3次相互変調歪が異なる場合には、各LNA1 111、LNA2 112に必要な最低消費電流値も異なる。この場合には、3次相互変調歪がより低歪みの方のLNAに必要な最低消費電流値は、高歪みのLNAの最低消費電流値よりも大きな値となる。従って、各LNAの最低消費電流値が異なる場合には、定電流源1 115の定電流値I1は、前記3次相互変調歪が低歪みの方のLNAの最低消費電流値に一致させる。この場合、3次相互変調歪が高歪みの方のLNAでは、そのon時には、その持つ最低消費電流値を越える無駄な電流が流れる。従って、両LNA1 111、LNA2 112のゲート長やゲート幅等のデバイスパラメータを変更して、その双方の最低消費電流値を等しく(I1min=I2min)近づけるこ

とが望ましい。

尚、本実施の形態では、半導体素子としてLNAを用いた場合を説明したが、半導体素子としてPAを使用する場合にも同様に適用可能である。この場合には、信号の送信時にPAを動作させるので、信号の受信時に電源SW 1114をoffして、2個のPAを動作を停止させる。また、定電流源1 115の定電流値I1の設定については、以下の通りである。即ち、デジタル変調方式のPAでは、歪みは一般的に隣接チャネル漏洩電力で規定される。この隣接チャネル漏洩電力について簡単に説明すると、図30に示すように、中心周波数fcでデジタル変調をかけた場合、出力波は同図(a)に記号Aで示すように、サイドローブを伴った波形となり、そのサイドローブ電力は同図(b)に示すように歪みに比例にして大きくなる。周波数が+ Δf だけ離れた隣接チャネルではサイドローブ電力は妨害波であるため、このサイドローブ電力をデジタル変調方式での歪みの指標として用い、中心周波数fcを中心とする+ fW ~- fW 帯域幅電力積分値に対して、 $fc + \Delta f$ を中心とする+ fW ~- fW 帯域幅電力積分値の抑圧比を隣接チャネル漏洩電力Padjと定義する。この隣接チャネル漏洩電力Padjは、通常、負値であり、歪みが大きいほど大きくなる(絶対値としては小さくなる)。デジタル変調方式のPAは、この隣接チャネル漏洩電力Padjが小さい(絶対値としては大きくなる)ほど低歪みであって、大きな消費電流を必要とする。従って、定電流源1 115の定電流値I1は、2個のPAのうち隣接チャネル漏洩電力Padjが小さい方の消費電流値に一致させる。

本実施の形態のLNAブロックでは、同一の半導体基板上にLNA1 111、LNA2 112及び定電流源1 115を集積化した1個の回路素子117と、電源SW 1114より成る他の1個の素子との合計2個の個別の素子により、構成される。図33に示した従来のLNAブロックでは、2個の電源SW1114、1124により構成される2個の素子と、2個のLNA111、112により構成される他の2個の素子の合計4個の素子が必要であるので、この従来例と比較して、本実施の形態のLNAブロックでは、部品点数を削減でき、携帯端末の小型化が実現可能である。

(第2の実施の形態)

次に、本発明の第2の実施の形態のLNAブロックを説明する。前記第1の実施の形態では2個のLNAを用いたが、本実施の形態では、3個のLNAを用いたものである。

図2(a)は本実施の形態のLNAブロックを示す、図1のLNAブロックに対し第3のLNA3 113を追加したものである。前記第3のLNA3 113は、その電源端子が電源SW 1114に接続され、その接地端子が定電流源1 115に接続され、その入力端子1131及び出力端子1132は独立して設けられる。更に、前記第3のLNA3 113には、前記第1のLNA1 111と同様に、第3のLNA3 113をon、off制御する制御端子1135を持っている。

本実施の形態では、第1のLNA1 111に流れる電流をI11、第2のLNA2 112に流れる電流をI12、第3のLNA3 113に流れる電流をI13とすると、定電流源I1は $I1=I11+I12+I13$ で表現される。同図(b)に示すように、第1のLNA1 111の制御端子1115をHigh、第3のLNA3 113の制御端子1135をLowに制御したとき、 $I11=I1$ 、 $I13=0$ となるようにバイアス設定される。従って、このときには、 $I12=0$ となり、第1のLNA1 111のみが、電流が流れonする。同様に、第1のLNA1 111の制御端子1115をLow、第3のLNA3 113の制御端子1135をHighに制御したとき、 $I11=0$ 、 $I13=I1$ となるようにバイアス設定される。従って、このときには、 $I12=0$ となり、第3のLNA3 113のみが、電流が流れonする。一方、第1及び第3のLNA1 111、LNA3 113の各制御端子1115、1135をLowに制御したときには、 $I11=0$ 、 $I13=0$ となり、第2のLNA2 112のみが、電流が流れonする。

従って、本実施の形態のLNAブロックにおいても、3個のLNAを使用しながら、図3に示した従来例と比較して、部品点数を削減でき、携帯端末の小型化が実現可能である。

尚、定電流源1 115の定電流値I1は、前記第1の実施の形態と同様に、3個のLNAの最低消費電流値を相互に等しく設定することが望ましいが、それ等の3次相

互変調歪が異なる場合には、3個のLNAのうち最も低歪みのLNAの最低消費電流値、即ち最大値の最低消費電流値に一致させる。

また、本実施の形態では、3個のLNAを使用したが、4個以上のLNAを使用する場合であっても、同様に適用できるのは勿論である。

(第3の実施の形態)

図3は、本発明の第3実施の形態に係るデュアルバンド携帯電話のD-Mixブロックの構成を示す。本実施の形態は、第1の実施の形態の2個のLNAに代えて2個のD-Mixを使用したものである。

同図において、121は第1のD-Mix1（半導体素子且つ周波数変換素子）、122は第2のD-Mix2（半導体素子且つ周波数変換素子）、125は定電流源1、10は電源、1214は電源SWである。前記第1のD-Mix1 121は、図示しないLNAからの高周波信号が入力される入力端子1211と、図示しない局部信号発生器VC0からの周波数fL01の信号が入力されるL0入力端子1213と、出力端子1212とを持つ。同様に、第2のD-Mix2 122は、図示しない他のLNAからの高周波信号が入力される入力端子1221と、図示しない他の局部信号発生器VC0からの周波数fL02の信号が入力されるL0入力端子1223と、出力端子1222とを持つ。前記2個のD-Mix1 121、D-Mix2 122の電源端子は共通に接続され、その共通端子と電源10との間に電源SW1214が接続されている。また、両D-Mix1 121、D-Mix2 122の接地端子は共通に接続され、この共通端子と接地の間に定電流源1 125が接続されている。

更に、前記2個のD-Mix1 121、D-Mix2 122のうち、第1のD-Mix1 121には、この第1のD-Mix1 121をon、offする制御端子1215を持つ。

前記2個のD-Mix1 121、D-Mix2 122の切替えは、前記第1の実施の形態と同様に、第1のD-Mix1 121の制御端子1215への印加電圧を変化させて、行う。前記定電流源1 125の定電流値は、第1の実施の形態と同様に、より低歪みのD-Mixの最低消費電流値に一致させる。

前記2個のD-Mix1 121、D-Mix2 122、及び定電流源1 125は、同一の半導体基板

上に集積化されて 1 つの回路素子 123 を構成しており、この回路素子 123 が 1 つのパッケージに封止されている。

本実施の形態のD-Mixブロックの動作は、第 1 の実施の形態のLNAブロックの場合と同様であるので、その動作説明を省略する。

従って、本実施の形態のD-Mixブロックにおいても、1 つの回路素子 123 と、電源 SW1214 から成る他の素子の合計 2 個の素子で構成されるので、図 3 3 に示した従来例と比較して、部品点数を削減でき、携帯端末の小型化が実現可能である。

尚、本実施の形態では、2 個のD-Mixを使用したが、3 個以上のD-Mixを使用する場合は、前記第 2 の実施の形態と同様であるので、その説明を省略する。

(第 4 の実施の形態)

図 4 は、本発明の第 4 実施の形態に係るデュアルバンド携帯電話のLNAブロックの構成を示す。以下、本実施の形態が前記第 1 の実施の形態と異なる点のみを説明し、同一部分に付いては同一の符号を付して、その説明を省略する。

即ち、第 2 のLNA2 112 の出力端子は、第 1 のLNA1 111 の出力端子 1112 に接続されて、両 LNA1 111、LNA2 112 で出力端子が共用されている。従って、回路素子 117' は、第 1 の実施の形態の回路素子 117 よりも端子数を 1 つ低減できる効果を奏する。

以下、2 個のLNA間で出力端子を共用できる条件を説明する。デュアルバンド携帯電話では、2 個のLNAに各々入力される信号の周波数範囲は相互で異なるものの、この両信号の周波数範囲が近接している場合には、図 4 に示すように、2 個のLNA間で出力整合回路 118 を共有化できる。前記出力整合回路 118 の出力端子側における電力の反射が少ない場合は、良好に整合された状態であって、この良好に整合された状態は、図 3 1 に示すように、前記出力整合回路 118 の出力端子側でのリターンロスが小さくて、設定値以下、一般的には -6dB 以下の場合である。従って、前記 2 つの信号の周波数範囲が近接する場合とは、一方（例えば第 1 のLNA1 111）に入力される信号の周波数範囲が f11～f12 であり、他方（第 2 のLNA2 112）に

入力される信号の周波数範囲がf21～f22であるとすると、この両周波数範囲において前記出力整合回路118の出力端子側でのリターンロスが前記設定値（例えば-6 dB）以下である場合を言う。

図5は本実施の形態の変形例を示す。第4の実施の形態ではデュアルバンド携帯電話のLNAブロックに備える2個のLNA 111、112の出力端子を共用したが、本変形例では、前記第3の実施の形態のデュアルバンド携帯電話のD-Mixブロックに備える2個のD-Mix 121、122の出力端子を共用したものである。即ち、図5では、第2のD-Mix 122の出力側は第1のD-Mix 121の出力端子1212に接続されて、第2のD-Mix 122の出力端子が省略されている。その他の構成及び出力端子を共用できる条件等は、第4の実施の形態と同様であるので、その説明を省略する。

（第5の実施の形態）

図6(a)は、本発明の第5の実施の形態に係るデュアルバンド携帯電話のLNAブロックの構成を示す。本実施の形態は、前記第1の実施の形態を示す図1の構成を具体化したものである。即ち、本実施の形態では、LNAとして電界効果トランジスタ(以下、FETという)をソース接地回路として用い、更に接地キャパシタを設けている。

同図(a)において、201は第1のLNAを構成するFET1、202は第2のLNAを構成するFET2、1114は電源SWである。また、2012はゲートバイアス抵抗1、20221はゲートバイアス抵抗2、20222はゲートバイアス抵抗3、2013はチョークインダクタ1、2023はチョークインダクタ2、211は接地キャパシタである。FET1 201、FET2 202のしきい値(以下、Vthという)は等しいものとする。このことは以下に説明する実施の形態においても同様とする。

前記2個のFET1 201、FET2 202のドレインは、各々、出力端子1112、1122となると共に、チョークインダクタ1 2013、チョークインダクタ2 2023に接続され、この両チョークインダクタの他端は共通に接続され、その共通端子に電源SW 1114が接続され、電源SW 1114の他端は電源10に接続されている。また、FET1 201、

FET2 202のソースは共通に接続され、その共通端子に定電流源1 115と接地キャパシタ211とが並列に接続され、これ等の他端は接地に接続されている。また、第1のFET1 201の入力端子1111は、ゲートバイアス抵抗1 2012を介して制御端子1115に接続される。一方、第2のFET2 202の入力端子1121は、前記ゲートバイアス抵抗2 20221及びゲートバイアス抵抗3 20222を介して、第2のFET2 202のドレン及び接地に接続される。電源SW 1114は、信号の送信時には両FET201、202をoffにするためにoff制御される。

前記接地キャパシタ211は、2個のFET 201、202のソース端子を高周波的に接地し、且つ、DC的にオーブンにして高周波特性を向上させるために配置される。従って、接地キャパシタ211のインピーダンスは、使用周波数において、定電流源1 115に対して十分小さい値に選定される。具体的に、接地キャパシタ211のインピーダンス R_c は、周波数を $f(\text{Hz})$ として、 $R_c=1/(2 \times \pi \times f \times C)$ で表現され、定電流源1 115のインピーダンスを R とすると、 $R \gg R_c$ (一般的には $R > 10 \times R_c$)であれば、周波数成分 f の電流はほとんど接地キャパシタ211を流れ、周波数成分 f での接地キャパシタ211の両端の電圧はほぼ"0"(v)となる。ここで、入力される2つの信号の各周波数において前記式 $R \gg R_c$ を満たすために、接地キャパシタ211のインピーダンス R_c は、2つの信号の周波数範囲のうち低い側の周波数範囲に対応させて、設定される。

また、前記2個のチョークインダクタ1 2013、チョークインダクタ2 2023は、各々、FET1 201、FET2 202にDC電源を供給し、且つ、使用する周波数においてドレンのインピーダンスを高周波的にオーブンにするために配置される。従って、チョークインダクタ1 2013、チョークインダクタ2 2023のインピーダンスは、使用周波数において、負荷インピーダンスに対して十分大きく選定される。

更に、ゲートバイアス抵抗1 2012は、制御端子1 1115と第1のFET 201の入力端子 1111をDC的に同電位に保つと同時に、高周波的にこの両端子間をアイソレートするために配置される。

前記定電流源1 115は、例えば同図(b)に示すように、FET 301と2個の抵抗311、312を用いて構成される。具体的には、FET 301のソースに抵抗311の一端が接続され、この抵抗311の他端が抵抗312を介してFET 301のゲートに接続される。

尚、評価系のインピーダンスは、通常、 50Ω 系や 75Ω 系であるのに対し、一般的にFET 201、202の入出力インピーダンスはこれ等以外の値をとるのが普通である。従って、FET 201、202に効率良く電力を伝達するためには、実際には、各FETの入出力側に整合回路が必要であるが、図6(a)ではこの入出力整合回路を省略している。

回路素子117は、FET 201、FET 202、ゲートバイアス抵抗2 20221、ゲートバイアス抵抗3 20222、接地キャパシタ211、定電流源1 115を同一の半導体基板上に集積化したものである。

次に、図6(a)の回路動作について説明する。今、信号の受信時において、定電流源1 115の電流値をI1とする。同図(a)において、第2のFET2 202のゲートは、2個のゲートバイアス抵抗 20221、20222により電圧Vg2に設定されているとする。制御端子1 1115の電圧をVg1とし、この電圧Vg1をLow(例えば"0"V)に設定したとき、 $Vg1 < Vg2$ となる場合には、第2のFET2 202に定電流I1が流れ、第1のFET1 201の電流は"0"となる。従って、第2のFET2 202がon、第1のFET1 201がoffとなる。一方、電圧Vg1をHighに設定して、 $Vg1 > Vg2$ とした場合には、第1のFET1 201に定電流I1が流れ、第2のFET2 202の電流は"0"となる。従って、第1のFET1 201がon、第2のFET2 202がoffとなる。

従って、本実施の形態では、前記第1の実施の形態と同様に、合計2個の素子でLNAブロックを構成でき、部品点数を削減でき、携帯端末の小型化が実現できる効果に加えて、LNAをFETで構成し、ソース接地回路を設けた場合に、接地キャパシタ211により、FETのソース端子を高周波的に接地し且つDC的にオープンにして高周波特性を向上させる効果を奏する。

図7は本実施の形態の第1の変形例を示す。この変形例は、前記第3の実施の

形態のデュアルバンド携帯電話のD-Mixブロック（図3参照）において、2個のD-mixを第1及び第2のデュアルゲートFET1 301、FET2 302により構成すると共に、定電流源1 125に接地キャパシタ211を並列に配置した構成を示す。即ち、図7において、301はデュアルゲートFET1、302はデュアルゲートFET2、3012はゲートバイアス抵抗1、30221はゲートバイアス抵抗2、30222はゲートバイアス抵抗3、3013はチョークインダクタ1、3023はチョークインダクタ2である。デュアルゲートFET1 301及びデュアルゲートFET2 302のしきい値電圧Vthは等しいものとし、以下の実施の形態においても同様とする。

前記デュアルゲートFET1 301、デュアルゲートFET2 302のドレインは、各々、チョークインダクタ1 3013、チョークインダクタ2 3023に接続され、この両チョークインダクタの他端は共通に接続され、その共通端子に電源SW 1214が接続され、この電源SW 1214の他端は電源10に接続される。また、デュアルゲートFET1 301及びデュアルゲートFET2 302のソースは共通に接続され、その共通端子に定電流源1 125が接続され、この定電流源1 125の他端は接地に接続される。そして、この定電流源1 125には、接地キャパシタ211が並列に接続される。前記両デュアルゲートFET 301、302において、入力端子 1211、入力端子 1221、出力端子 1212、出力端子 1222、L0入力端子 1213、L0入力端子 1223は、全て独立している。2つのD-Mixの切替えは、デュアルゲートFET1 301の入力端子 1211にゲートバイアス抵抗1 3012を介して配置された制御端子1 1115への印加電圧を変化させることにより行う。尚、定電流源1 125については、図6(b)と同一回路により構成される。

回路素子123は、デュアルゲートFET1 301、デュアルゲートFET2 302、ゲートバイアス抵抗2 30221、ゲートバイアス抵抗3 30222、接地キャパシタ211、定電流源1 125を同一の半導体基板上に集積化したものである。

また、図8及び図9は各々本実施の形態の第2及び第3の変形例を示す。前記第2の変形例は、前記第4の実施の形態のデュアルバンド携帯電話のLNAブロック（図4参照）において、2個のLNAを第1及び第2のデュアルゲートFET1 201、F

ET2 202により構成すると共に、定電流源1 125に接地キャパシタ211を並列に配置した構成を示す。更に、前記第3の変形例は、前記第4の実施の形態の変形例のデュアルバンド携帯電話のD-Mixブロック（図5参照）において、出力端子を共用化した2個のD-mixを第1及び第2のデュアルゲートFET1 301、FET2 302により構成すると共に、定電流源1 125に接地キャパシタ211を並列に配置した構成を示す。

以上の第2及び第3の変形例では、本実施の形態と同様に、接地キャパシタ211により、FETのソース端子を高周波的に接地し且つDC的にオープンにして高周波特性を向上させる効果を奏する。

（第6の実施の形態）

図10は、本発明の第6の実施の形態に係るLNAブロックの構成を示す。本実施の形態は、前記第5の実施の形態を示す図6(a)の構成を改良したものである。即ち、本実施の形態を示す図10のLNAブロックでは、図6(a)の構成に、更に、FETのソースと接地との間にインダクタを追加したものである。

即ち、図10において、接地キャパシタ211には、インダクタ（以下、ソースインダクタという）221が直列に接続され、この接地キャパシタ211とソースインダクタ221との直列回路は、定電流源1 115に並列に接続されている。

本実施の形態では、第1及び第2のFET1 201、FET2 202のソースと接地との間にソースインダクタ221が挿入されるので、これ等FET 201、202の安定係数が向上すると共に、これ等FET 201、202の入力リターンロスが最小となるインピーダンスGain maxと、雑音指数が最小となるインピーダンス Γ_{opt} とが接近して、整合が良く取れて且つ雑音指数の優れた状態を得ることができる。但し、ソースインダクタ221の値を大きく設定するほど、FET 201、202のゲインは低下する。FETのゲインは、入力される信号の周波数が低いほど高いので、本実施の形態では、ソースインダクタ221の値は、入力される信号の周波数が高い方のFETのゲインを適切値に確保するように決定される。

従って、本実施の形態では、ソースインダクタ221の配置により、第1及び第2のFET 201、202のゲインを良好に確保しながら、前記第5の実施の形態よりも2個のFET 201、202の安定係数を向上させて、これ等FET 201、202において低い雑音指数と優れた入力リターンロスとの両立を図ることが可能である。

図11は本実施の形態の第1の変形例を示す。この変形例は、前記第5の実施の形態の第2の変形例のLNAブロック（図8参照）において、ソースインダクタ1 221を接地キャパシタ211と直列に接続し、この直列回路を定電流源1 115に並列に接続したものである。また、図12及び図13は本実施の形態の第2及び第3の変形例を示す。前記第2の変形例は、図10に示した本実施の形態のLNAブロックにおいて、ソースインダクタ1 221の配置位置を変更し、第2のFET2 202のソースと定電流源1 115との間にソースインダクタ1 221を配置して、定電流源1 115には接地キャパシタ211のみを並列に接続したものである。また、前記第3の変形例は、本実施の形態の前記第1の変形例のLNAブロック（図11）において、ソースインダクタ1 221の配置位置を前記第2の変形例と同様に変更したものである。これ等第2及び第3の変形例では、本実施の形態と同様の効果を奏する。

尚、本実施の形態及び前記第2及び第3の変形例では、LNAブロックに対してソースインダクタを配置した場合を例示したが、その他、D-mixブロック等に対しても同様にソースインダクタを配置しても良いのは勿論である。

（第7の実施の形態）

図14は、本発明の第7の実施の形態に係るLNAブロックの構成を示す。本実施の形態では、前記第6の実施の形態のソースインダクタ221を分割して、2個のFET別に設けたものである。

本実施の形態では、第1のFET1 201に入力される信号の周波数fRX1と、第2のFET2 202に入力される信号の周波数fRX2とでは、 $f_{RX1} < f_{RX2}$ の関係があるとして説明する。図14において、第1のFET1 201のソースには、ソースインダクタ2 222の一端が接続され、その他端は第2のFET2 202のソースに接続される。第2の

FET2 202のソースには、他のソースインダクタ1 221と接地キャパシタ211との直列回路と定電流源1 115とが並列に接続される。

従って、本実施の形態では、第1のFET1 201に対しては、2個のソースインダクタ221、222の値の和がソースインダクタの値となり、第2のFET2 202に対しては、ソースインダクタ1 221の値がソースインダクタの値となる。即ち、低周波数fRX1の信号が入力される第1のFET1 201では、ソースインダクタの値は大きく、高周波数fRX2の信号が入力される第2のFET2 202では、ソースインダクタの値は小さく設定される。FETのゲインは、第6の実施の形態で既述した通り、入力される信号の周波数が低いほど高いので、前記構成により、2つのFET 201、202のゲインをほぼ同程度の値としながら、これ等FET201、202のソースインダクタの値を相互に異ならせて、各FET201、202毎に低い雑音指数と優れた入力リターンロスとが実現できる。

尚、本実施の形態では、第1及び第2のFET 201、202に入力される信号の周波数の関係がfRX1<fRX2であるとしたが、逆に、fRX1>fRX2の関係がある場合には、ソースインダクタ2 221の配置位置を変更して、第2のFET2 202のソースと定電流源1 115との間に配置すれば良いのは言うまでもない。

図15は、本実施の形態の変形例を示す。この変形例は、本実施の形態の第1のソースインダクタ1 221の配置位置を変更し、このソースインダクタ1 221を第2のFET2 202のソースと定電流源1 115との間に配置し、定電流源1 115には接地キャパシタ221のみを並列に配置したものである。本変形例も本実施の形態と同様の効果を奏する。

(第8の実施の形態)

図16は、本発明の第8の実施の形態に係るLNAブロックの構成を示す。本実施の形態は、前記第1の実施の形態の電源SW1114を配置せず、その機能を定電流源2 116に持たせたものである。

即ち、図16において、電源SWは配置されない。また、定電流源2 116は、制御

端子1161を有し、この制御端子1161の電位は、信号の送信時にはLowとされ、信号の受信時にはHighとされる。定電流源2 116は、前記制御端子1161の電位がLowのときには、出力電流値は”0”となり、制御端子1161の電位がHighのときには定電流値I1となる。この制御端子付き定電流源2 116は、2個のLNA 111、112共に1つのパッケージに封止されて、1つの素子117'を構成する。

従って、本実施の形態によれば、前記第1の実施の形態に比べて、電源SW 111 4が不要であって、電源SWを全く必要とせず、1個の素子117'のみでLNAブロックを構成できる特殊の効果を奏する。

図17は、本実施の形態の第1の変形例を示す。本変形例では、前記第4の実施の形態の変形例に対して、電源SW 1214を設けず、定電流源1 125を前記制御端子1261付きの定電流源2 126としたものである。

図18から図29は、本実施の形態の第2から第13の変形例を示す。これ等の変形例は、既述した図4から図15の各々に対して、電源SWを設けず、定電流源を制御端子1161付きの定電流源2 116又は制御端子1261付きの定電流源2 126により構成したものである。従って、本実施の形態と同様に、1個の素子のみでLNAブロック又はD-mixブロックを構成できる特殊の効果を奏する。

前記制御端子1161付きの定電流源2 116又は制御端子1261付きの定電流源2 126の具体的構成の一例としては、図20(b)に示す構成が挙げられる。同図(b)では、前記図6(b)に示した定電流源1 115の具体的構成において、FET 301のゲート端子を制御端子1161としている。この定電流源2 116では、制御端子1161の電位をLow (0v)とした場合に電流値が”0”となり、制御端子1161の電位をHighとした場合に定電流値I1となる必要がある。従って、定電流源2 116を構成するFET 301は、ゲート電圧が”0”vの時に電流値が”0”となるエンハンスマント型のFETで構成される。この場合、第1のFET1 201と第2のFET2 202とは、異なるしきい値電圧Vthに設定されることがある。

産業上の利用可能性

以上のように、本発明の半導体装置及び通信装置によれば、携帯端末として有用であり、特に部品点数を削減すると共に、高周波特性を向上させたり、電界効果トランジスタでの低い雑音指数と優れた入力リターンロスとの両立を図ったりする場合に適している。

請求の範囲

1. 同一半導体基板上に、周波数範囲が異なる2つ以上の信号が各々入力される2個以上の半導体素子と、

前記各半導体素子の一端に共通に接続される定電流源とを備え、

前記各半導体素子のうち少なくとも1個には、この半導体素子をon/off制御する制御端子が設けられる

ことを特徴とする半導体装置。

2. 前記各半導体素子は電力增幅素子である

ことを特徴とする請求の範囲第1項記載の半導体装置。

3. 前記各半導体素子は周波数変換素子である

ことを特徴とする請求の範囲第1項記載の半導体装置。

4. 前記電力增幅素子は、電界効果トランジスタにより構成される

ことを特徴とする請求の範囲第2項記載の半導体装置。

5. 前記周波数変換素子は、デュアルゲート型電界効果トランジスタにより構成される

ことを特徴とする請求の範囲第3項記載の半導体装置。

6. 前記各半導体素子の他端に共通に接続された電源スイッチを備える

ことを特徴とする請求の範囲第1項、第2項又は第3項記載の半導体装置。

7. 前記定電流源は、その定電流値が、

前記 2 個以上の半導体素子のうち、より低歪が要求される半導体素子に必要な電流値に設定される

ことを特徴とする請求の範囲第 1 項、第 2 項又は第 3 項記載の半導体装置。

8. 前記定電流源は、その定電流値が、

前記 2 個以上の半導体素子のうち、より高周波数範囲の信号を入力する半導体素子に必要な電流値に設定される

ことを特徴とする請求の範囲第 1 項、第 2 項又は第 3 項記載の半導体装置。

9. 前記定電流源は、電界効果トランジスタと抵抗とを用いて構成される

ことを特徴とする請求の範囲第 1 項、第 2 項又は第 3 項記載の半導体装置。

10. 前記 2 個以上の半導体素子と前記定電流源とは同一パッケージに封止される

ことを特徴とする請求の範囲第 1 項、第 2 項又は第 3 項記載の半導体装置。

11. 前記 2 個以上の各半導体素子の有する出力端子は、共通に接続されて、各々の周波数範囲の全域で出力側リターンロスが -6 dB 以下で共用される

ことを特徴とする請求の範囲第 1 項、第 2 項又は第 3 項記載の半導体装置。

12. 前記定電流源には、接地キャパシタが並列に接続される

ことを特徴とする請求の範囲第 4 項又は第 5 項記載の半導体装置。

13. 前記接地キャパシタは、

入力される 2 以上の信号のうち低周波数範囲の信号の周波数でのインピーダンス値が、前記定電流源のインピーダンス値に対して十分に小さく設定される

ことを特徴とする請求の範囲第12項記載の半導体装置。

14. 電界効果トランジスタは、そのソースにインダクタが接続される
ことを特徴とする請求の範囲第12項又は第13項記載の半導体装置。

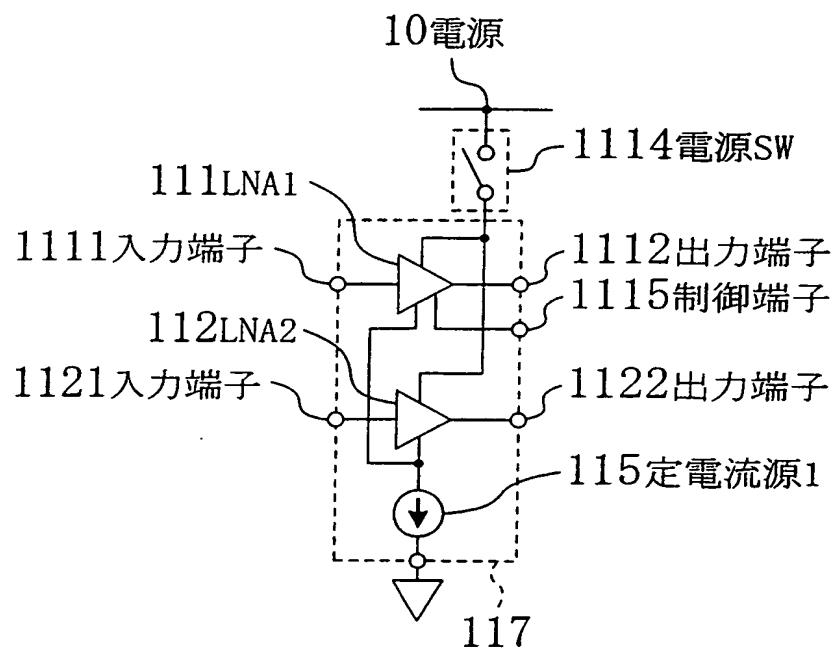
15. 前記インダクタは、前記接地キャパシタと直列に配置される
ことを特徴とする請求の範囲第14項記載の半導体装置。

16. 前記定電流源には、この定電流源をon/off制御する制御端子が設けら
れる

ことを特徴とする請求の範囲第1項、第2項又は第3項記載の半導体装置。

17. 請求の範囲第1項記載の半導体装置と、アンテナとを備えて、
前記アンテナで受信する周波数範囲が異なる前記2つ以上の信号を各々前記半
導体素子に入力し、又は、前記半導体素子により処理された周波数範囲が異なる
2以上の信号を前記アンテナから出力する
ことを特徴とする通信装置。

Fig. 1



THIS PAGE BLANK (USPTO)

Fig. 2(a)

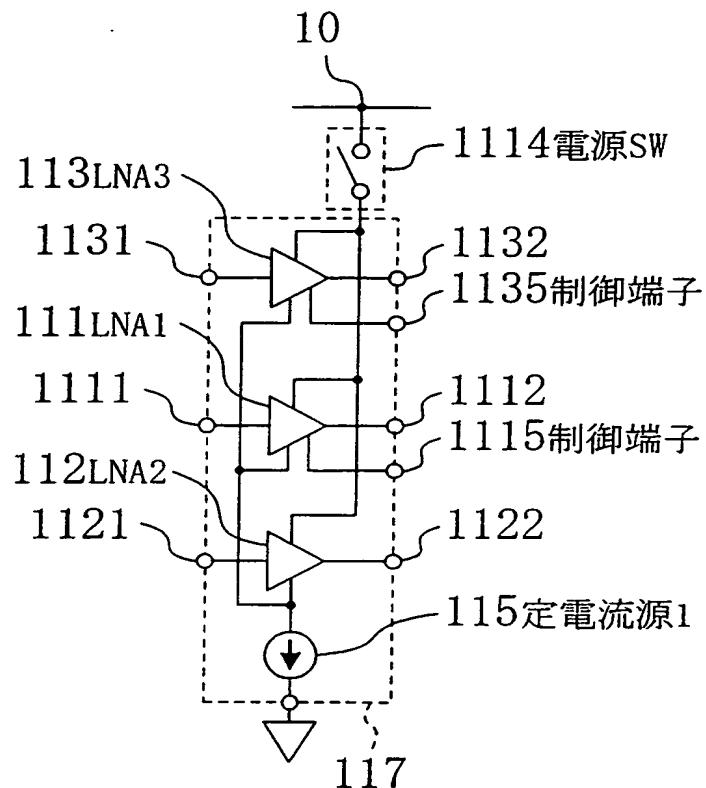


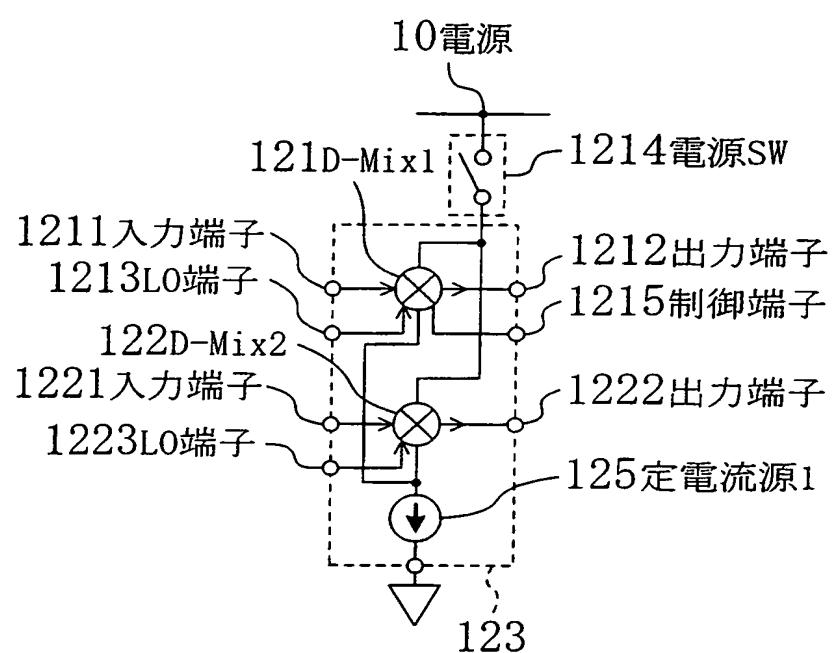
Fig. 2(b)

制御端子 1115	制御端子 1135	LNA1	LNA2	LNA3
HIGH	LOW	ON	OFF	OFF
LOW	HIGH	OFF	OFF	ON
LOW	LOW	OFF	ON	OFF

THIS PAGE BLANK (USPTO)

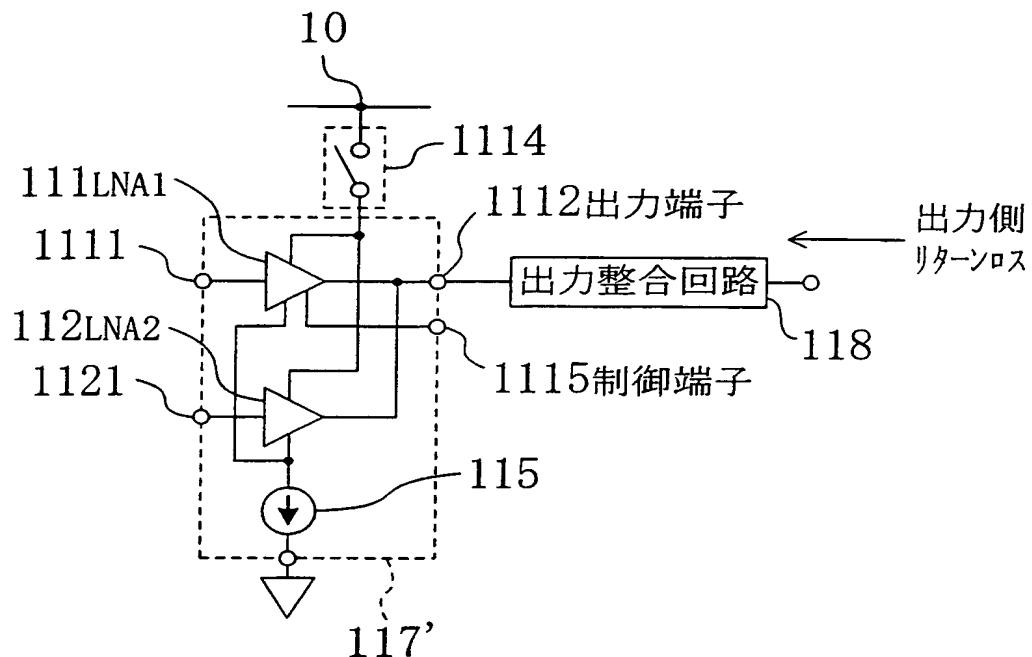
3/33

Fig. 3



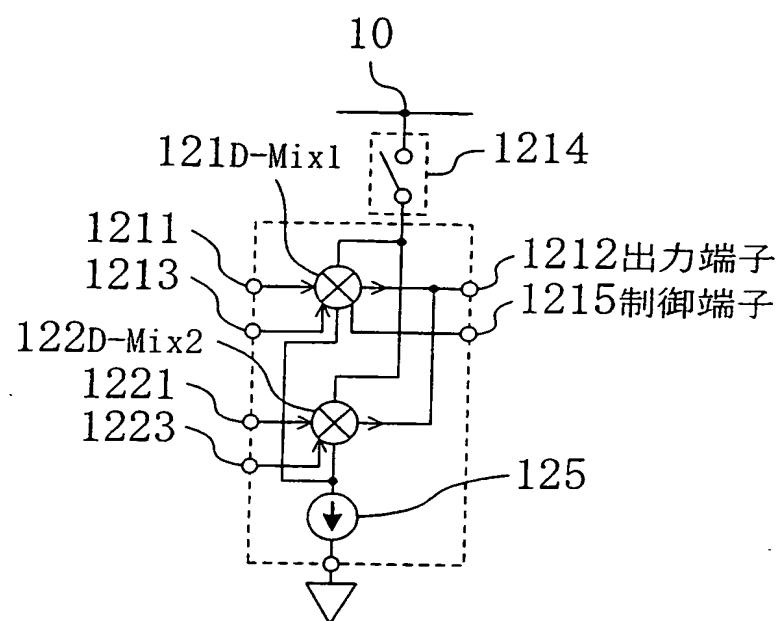
THIS PAGE BLANK (USPTO)

Fig. 4



THIS PAGE BLANK (USPTO)

Fig. 5



THIS PAGE BLANK (USPTO)

Fig. 6(a)

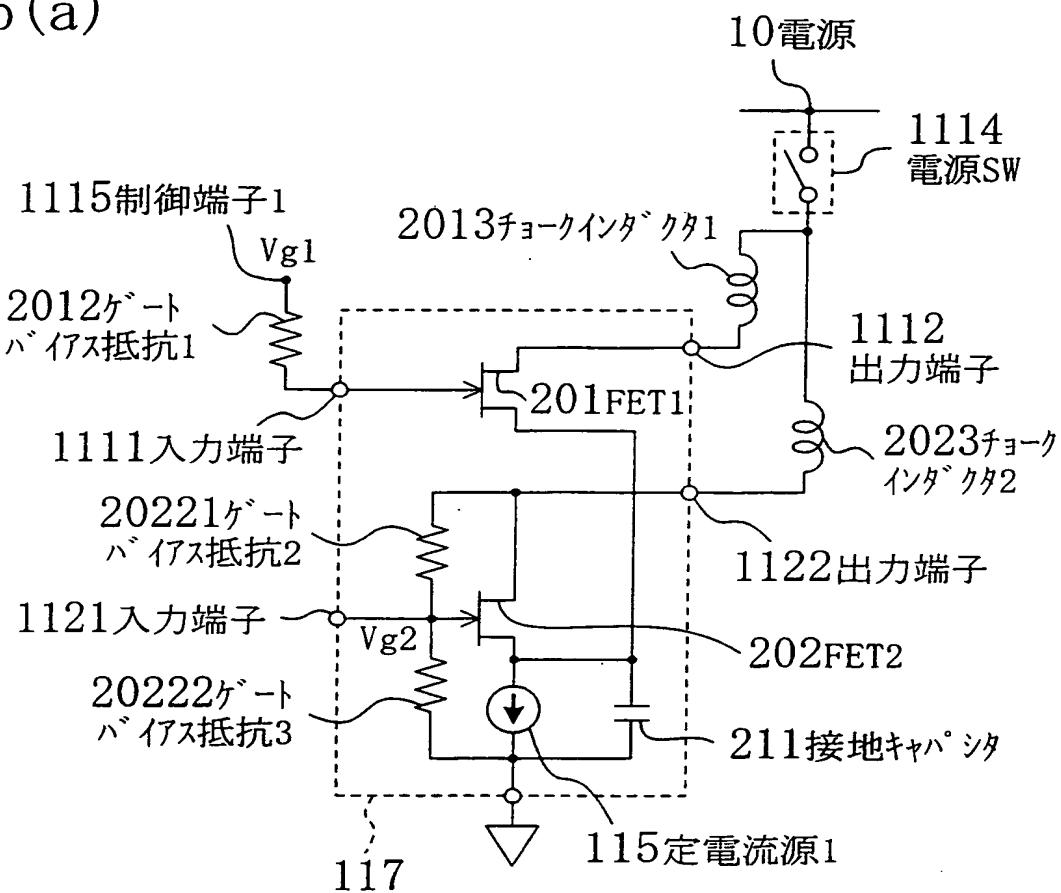
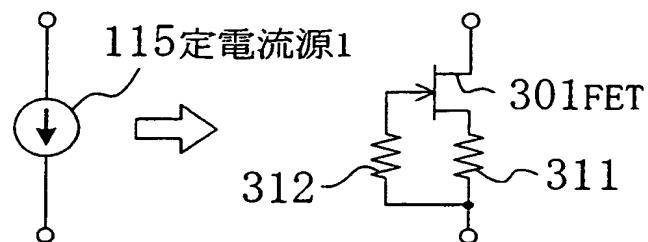
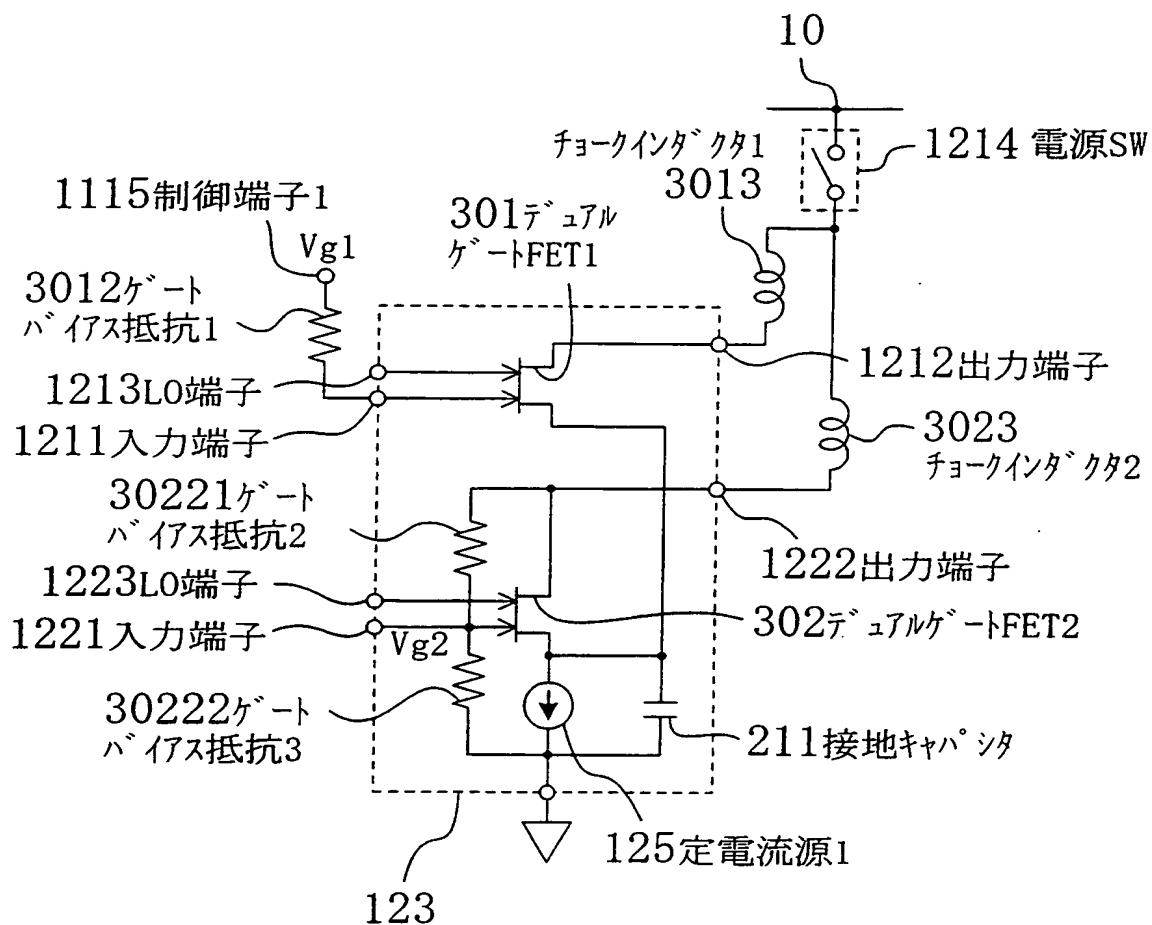


Fig. 6(b)



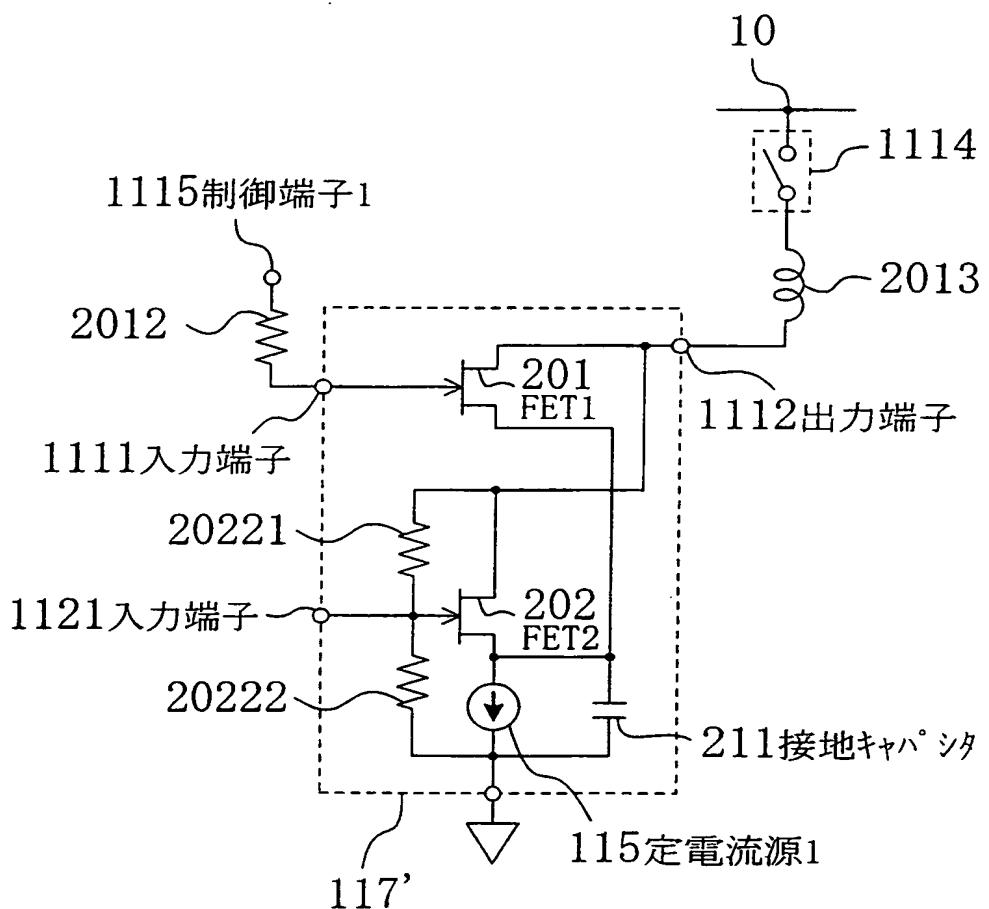
THIS PAGE BLANK (USPTO)

Fig. 7



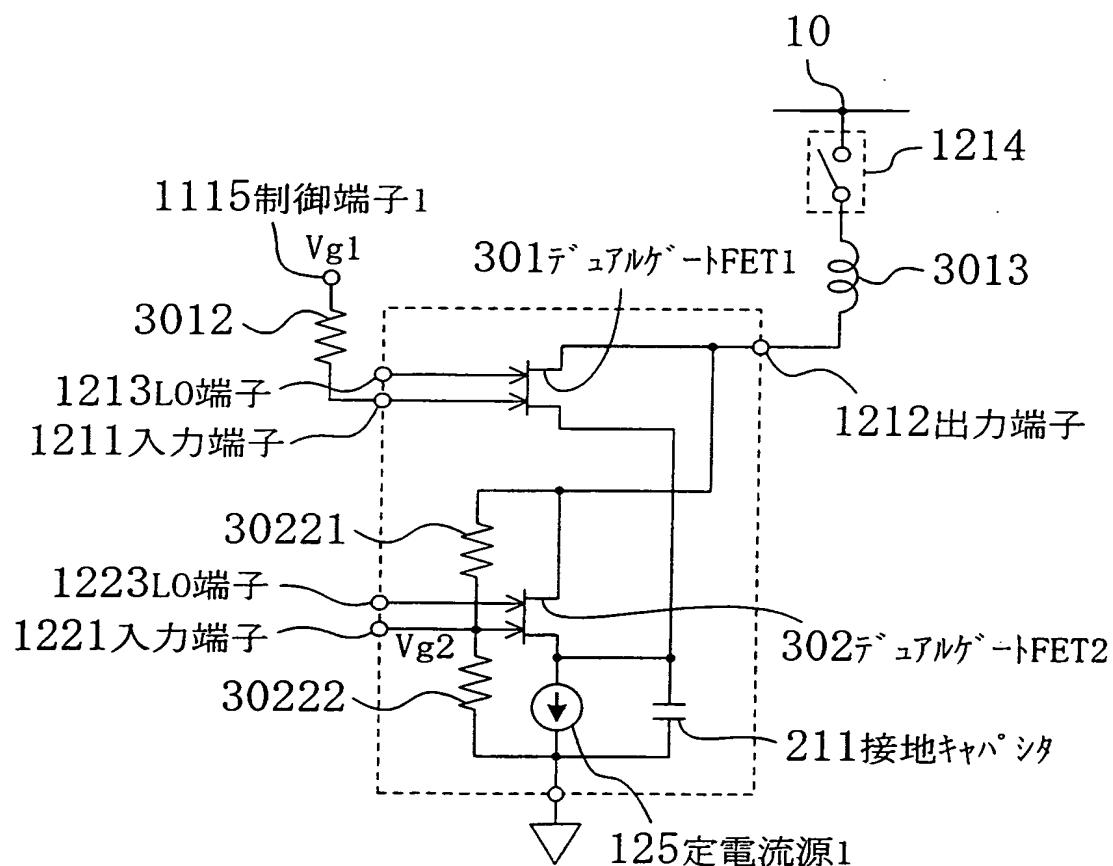
THIS PAGE BLANK (USPTO)

Fig. 8



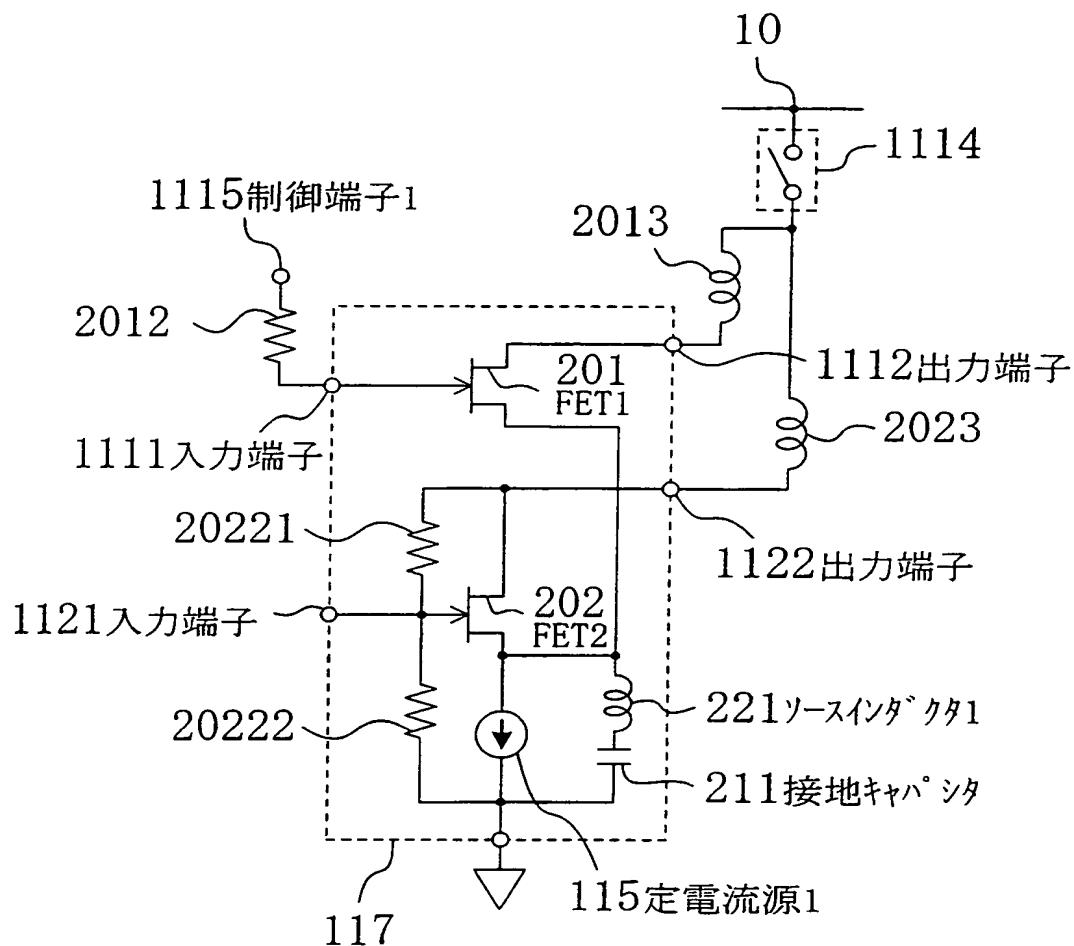
THIS PAGE BLANK (USPTO)

Fig. 9



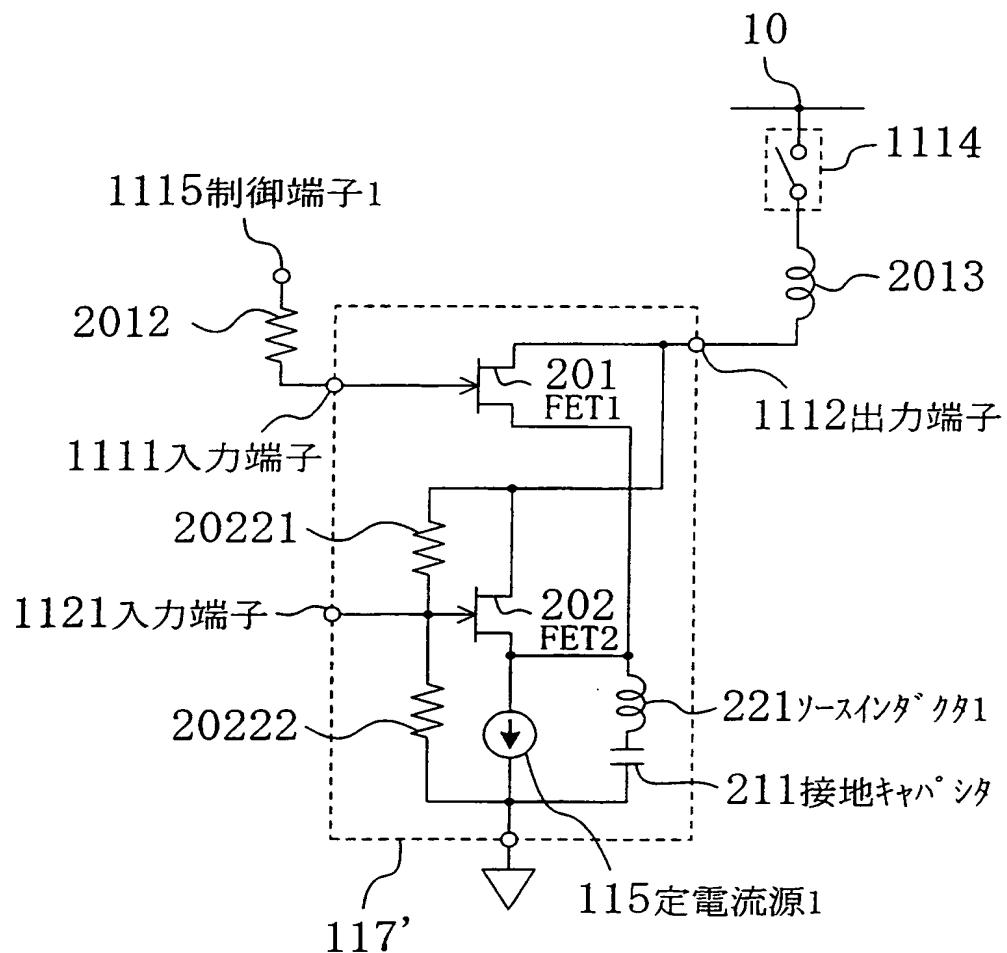
THIS PAGE BLANK (USPTO)

Fig. 10



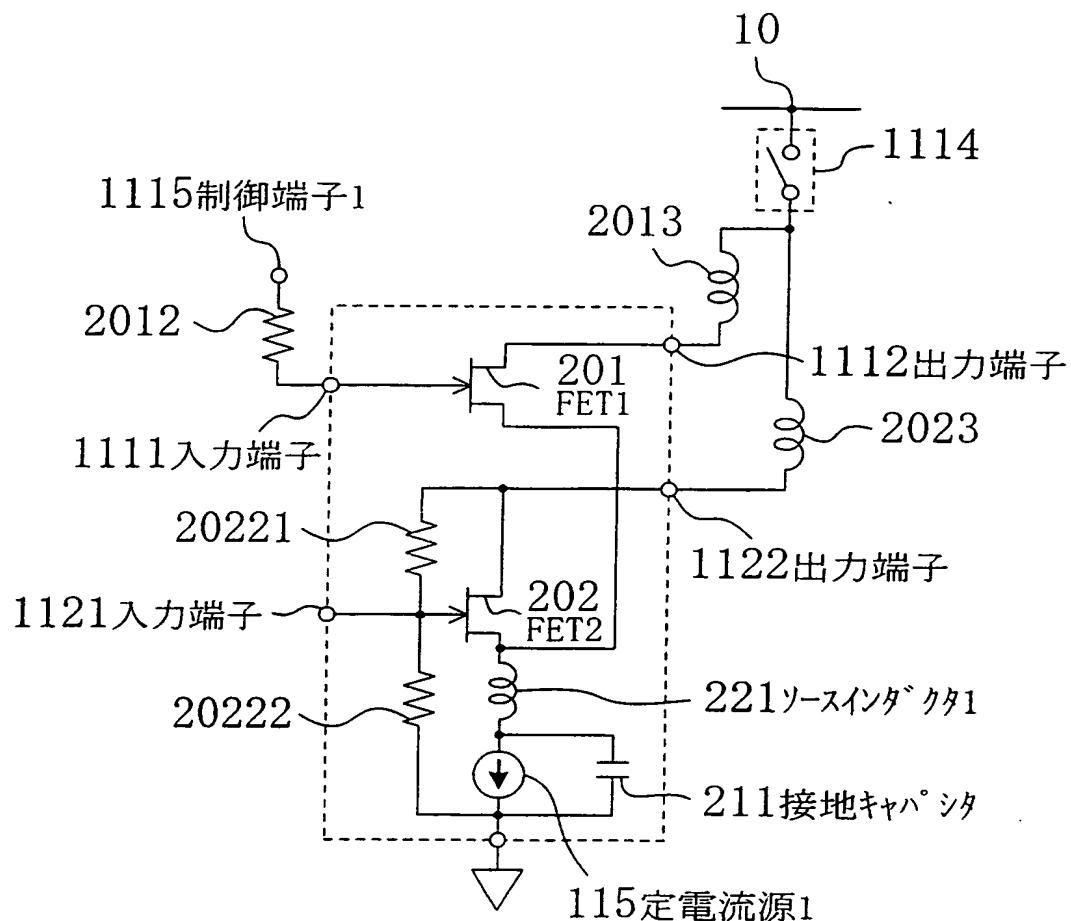
THIS PAGE BLANK (USPTO)

Fig. 11



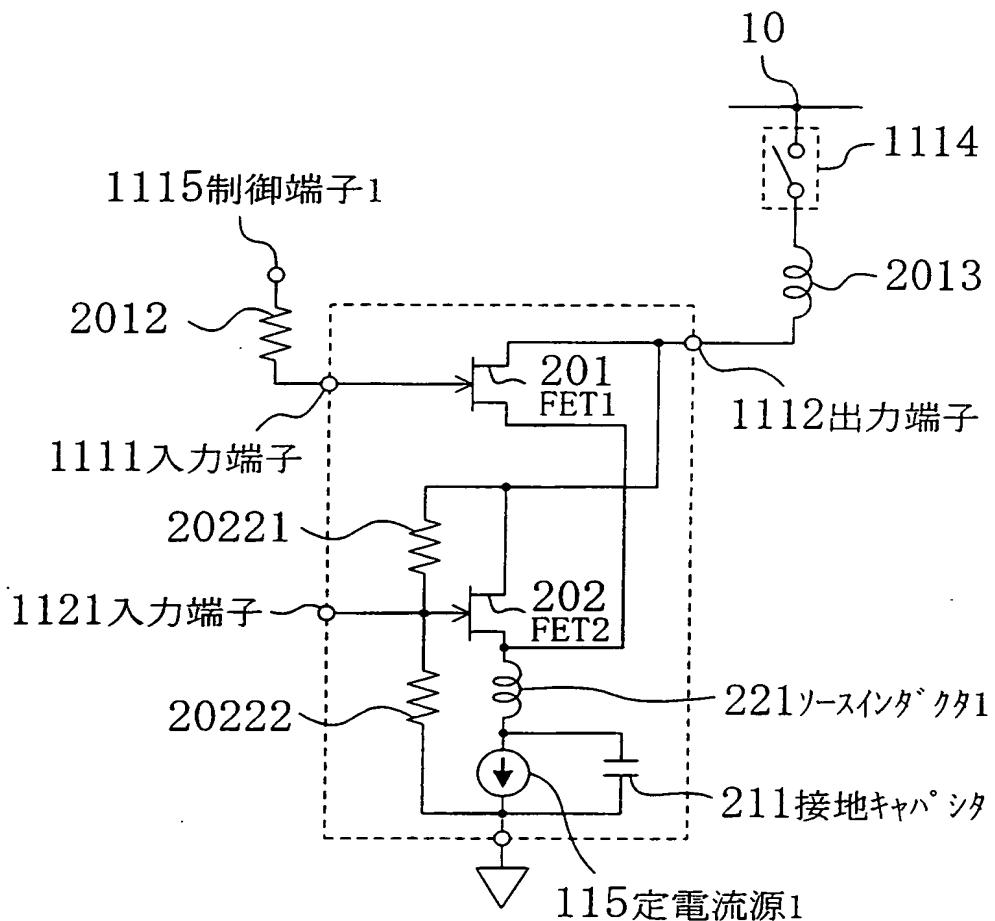
THIS PAGE BLANK (USPTO)

Fig. 12



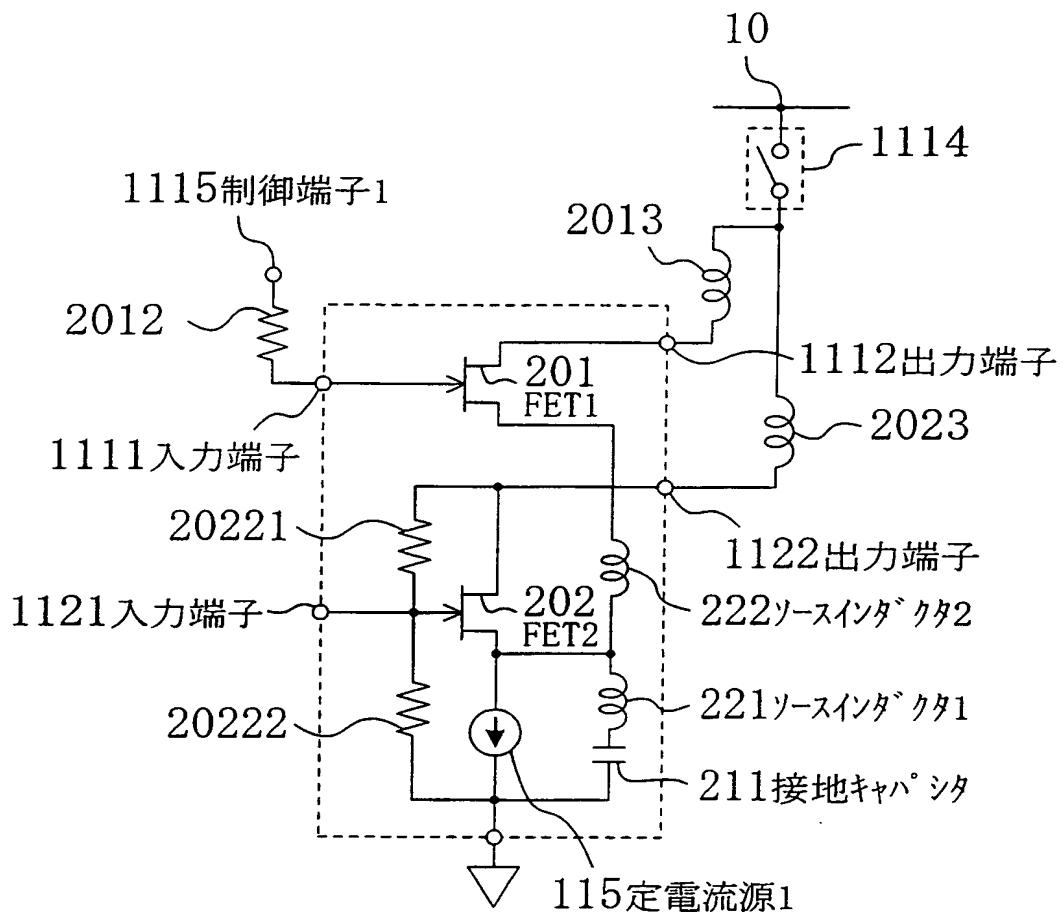
THIS PAGE BLANK (USPTO)

Fig. 13



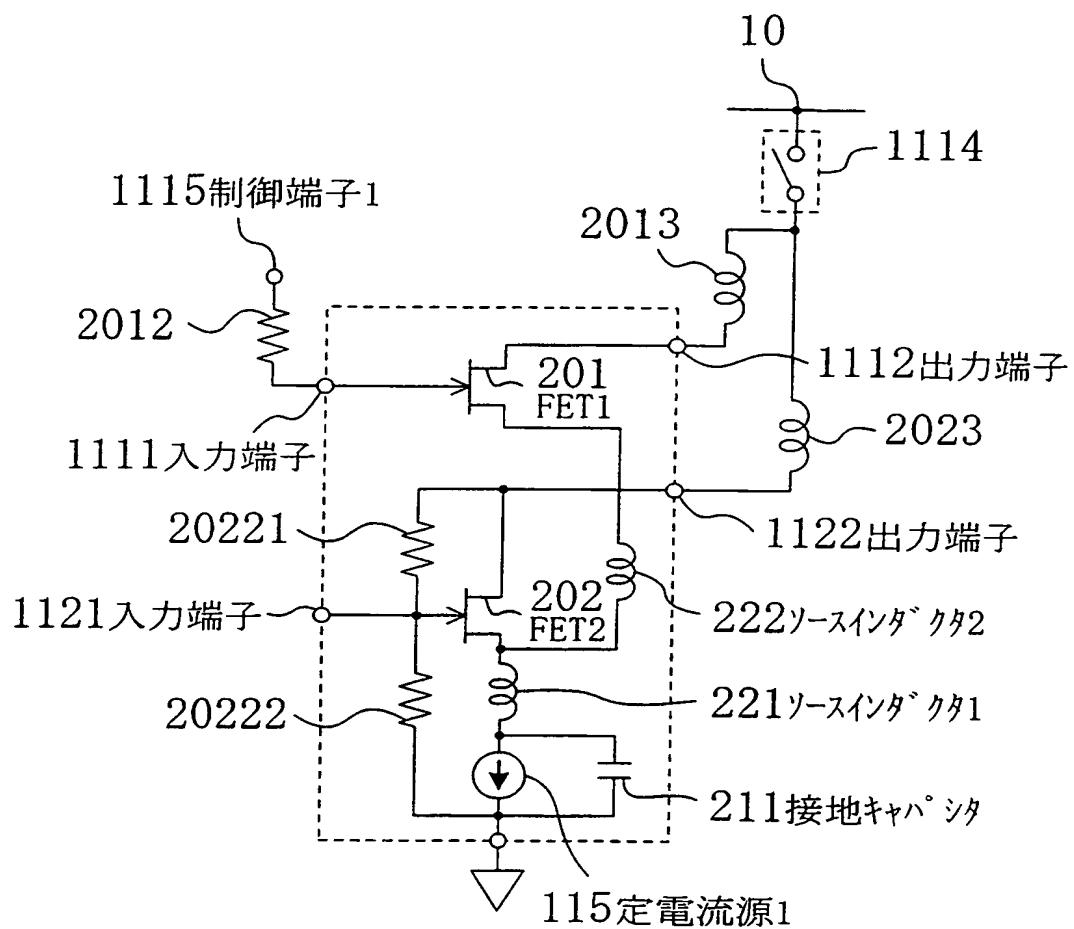
THIS PAGE BLANK (USPTO)

Fig. 14



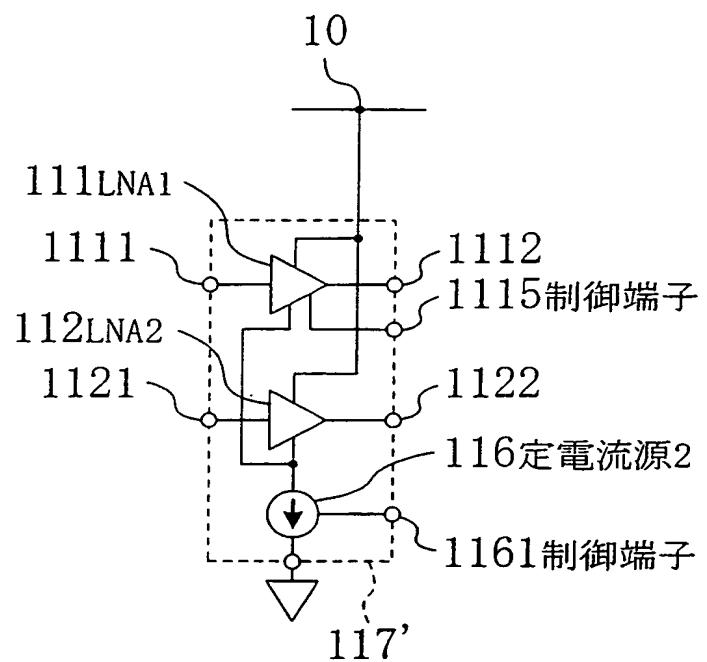
THIS PAGE BLANK (USPTO)

Fig. 15



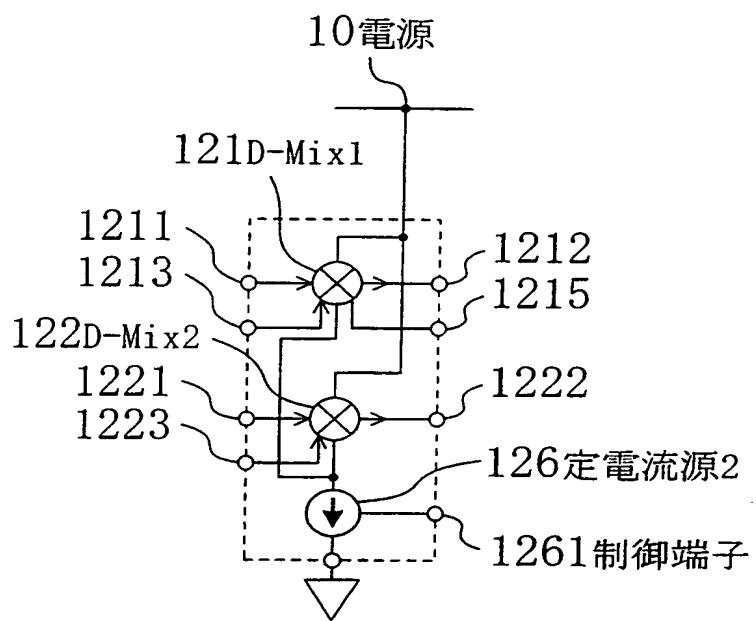
THIS PAGE BLANK (USPTO)

Fig. 16



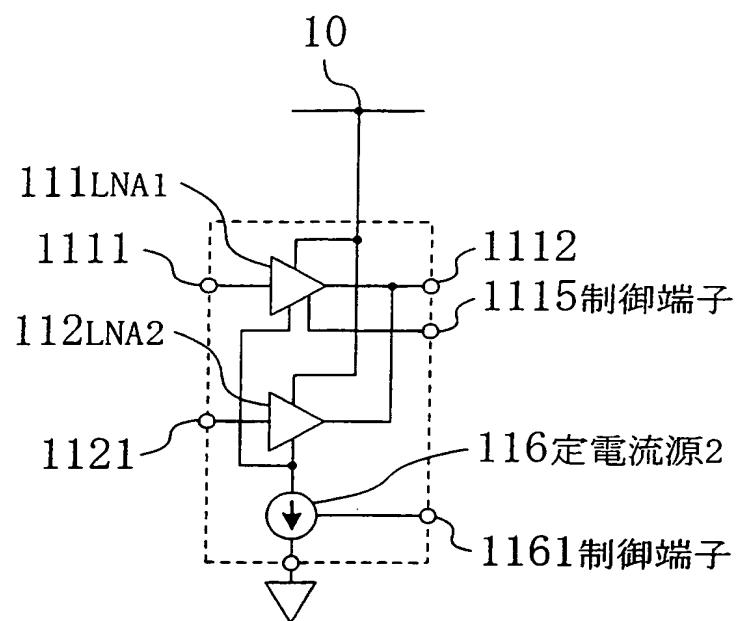
THIS PAGE BLANK (USPTO)

Fig. 17



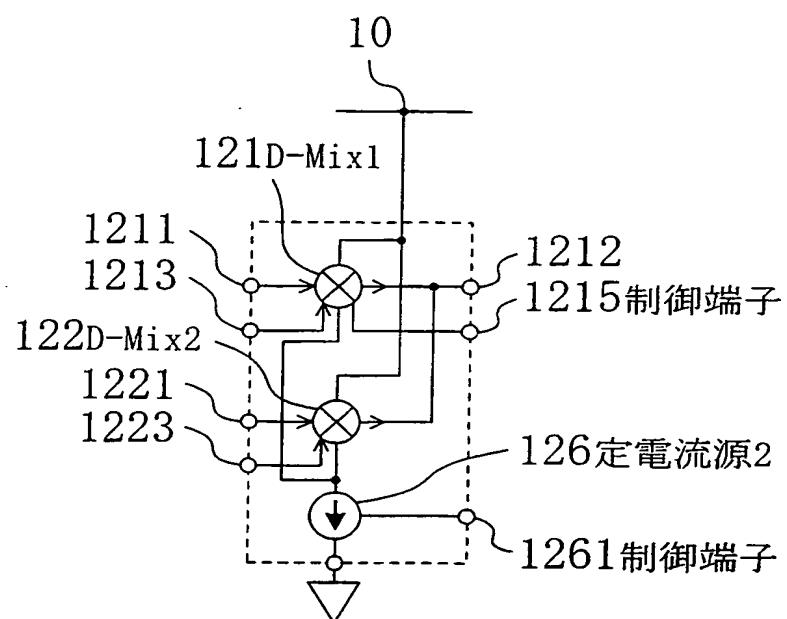
THIS PAGE BLANK (USPTO)

Fig. 18



THIS PAGE BLANK (USPTO)

Fig. 19



THIS PAGE BLANK (USPTO)

Fig. 20 (a)

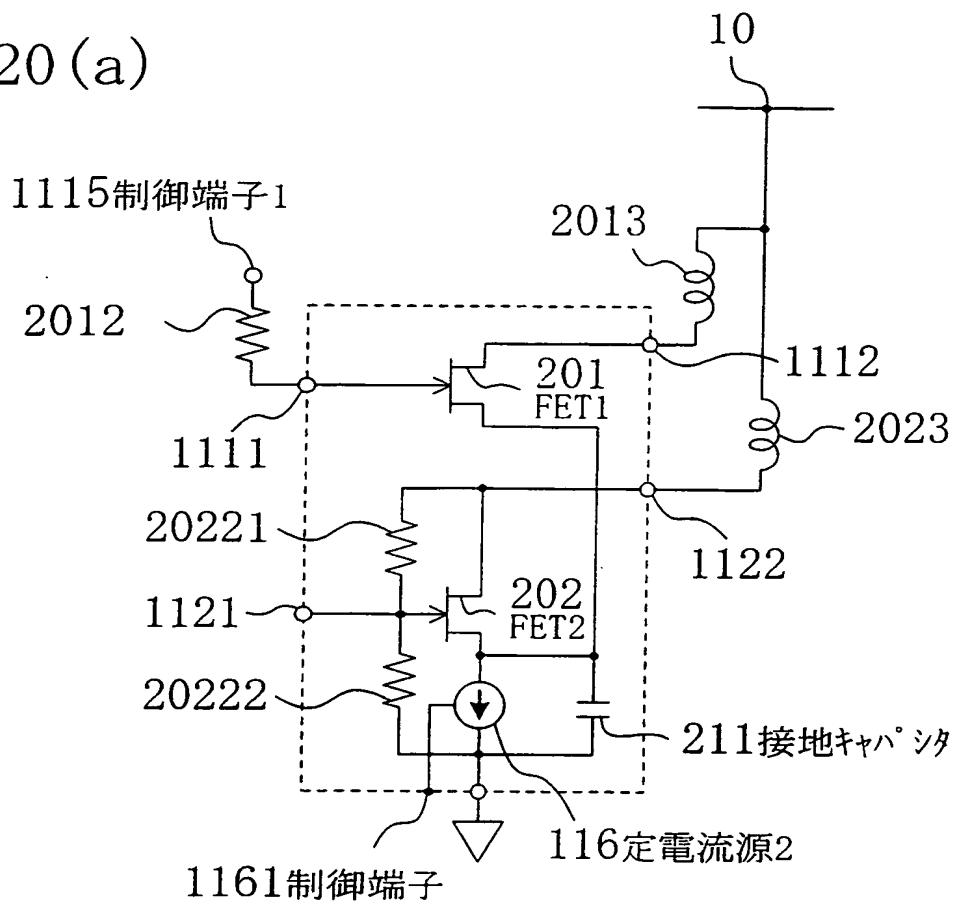
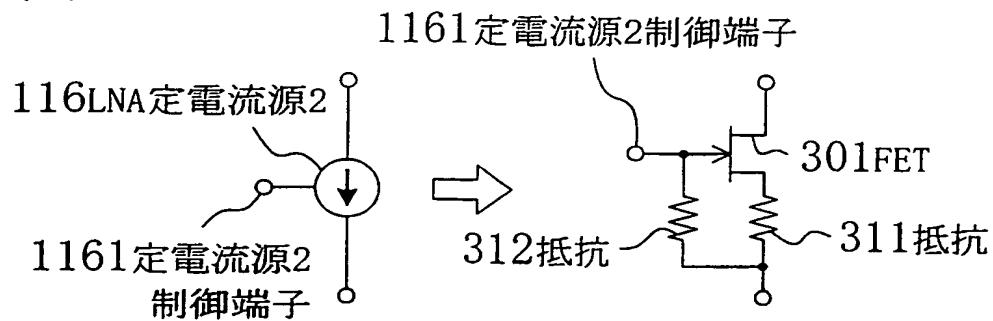
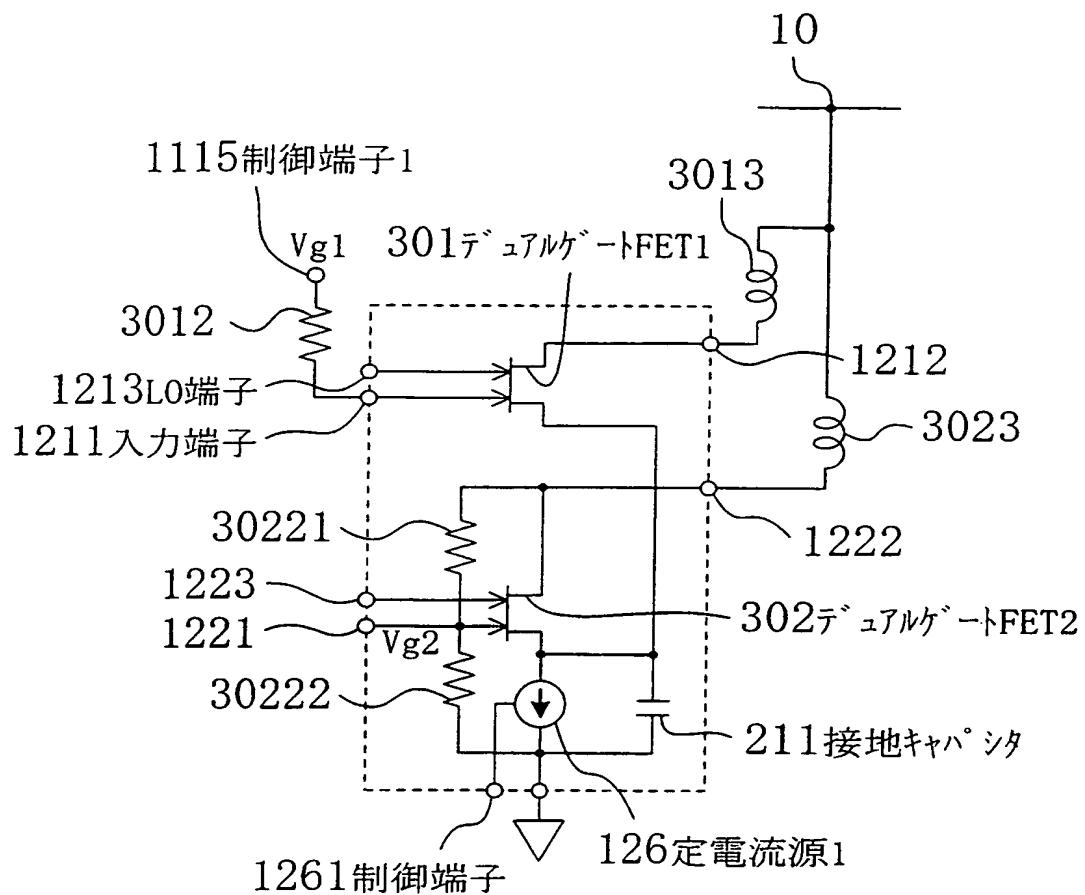


Fig. 20 (b)



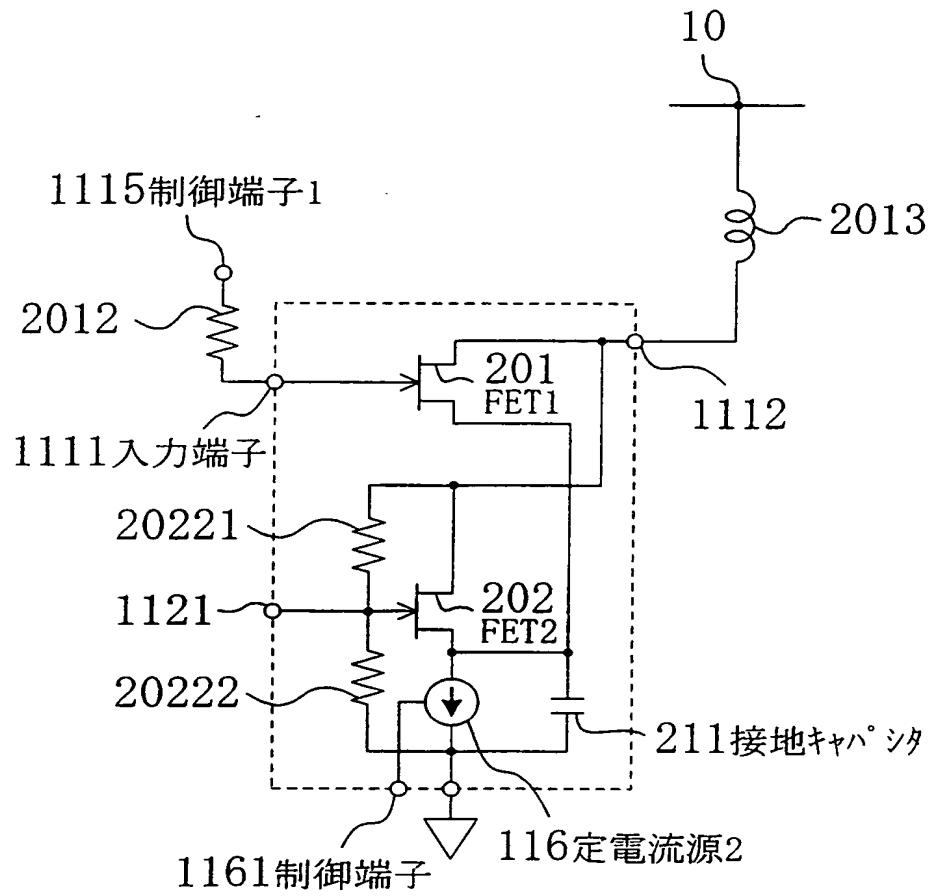
THIS PAGE BLANK (USPTO)

Fig. 21



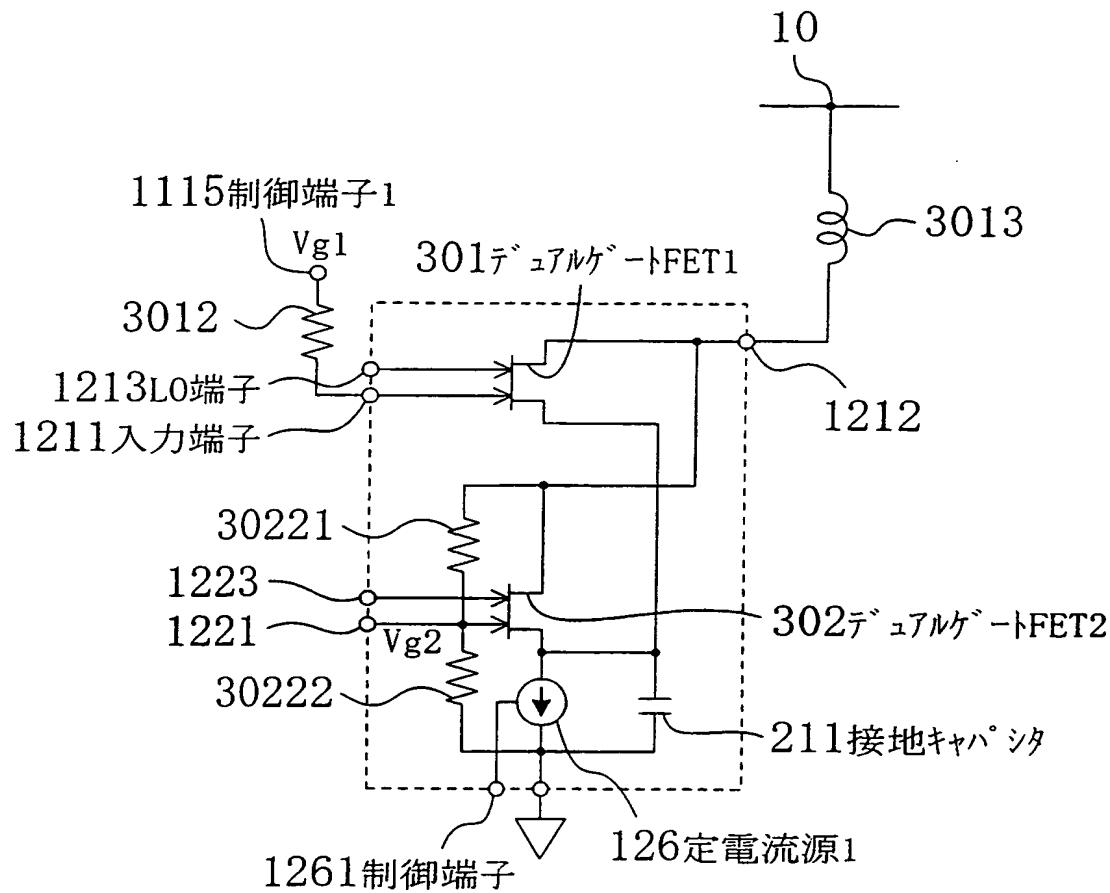
THIS PAGE BLANK (USPTO)

Fig. 22



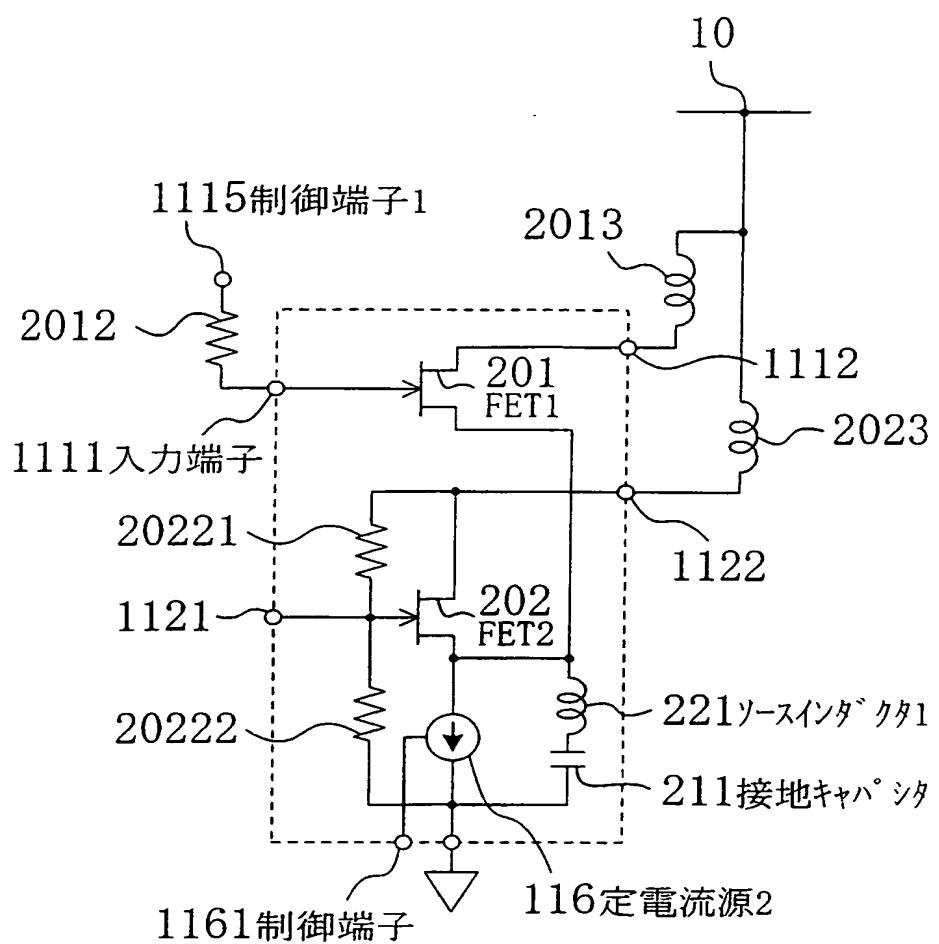
THIS PAGE BLANK (USPTO)

Fig. 23



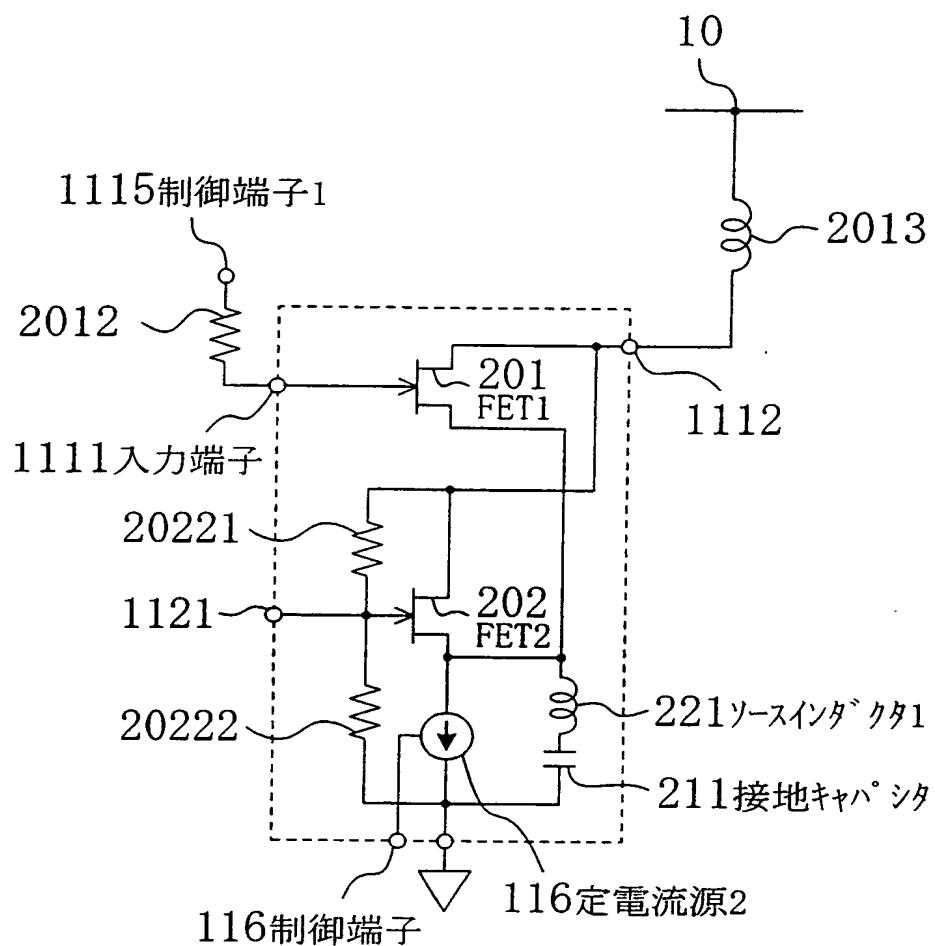
THIS PAGE BLANK (USPTO)

Fig. 24



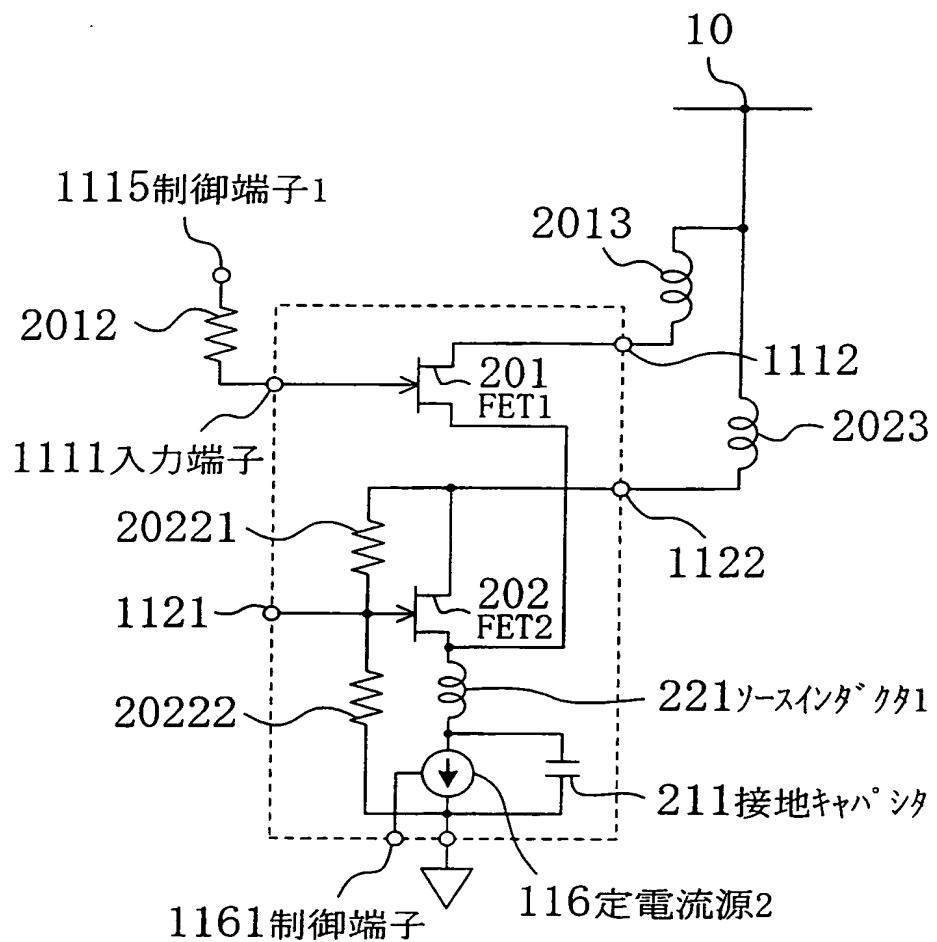
THIS PAGE BLANK (USPTO)

Fig. 25



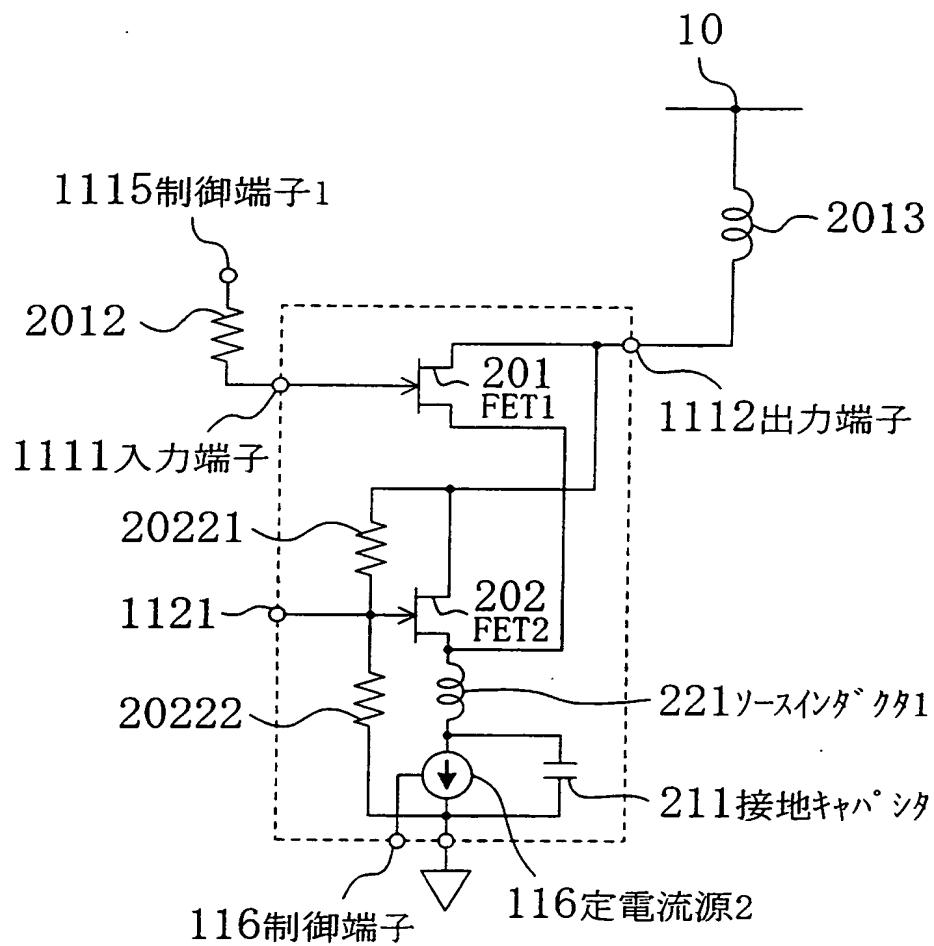
THIS PAGE BLANK (USPTO)

Fig. 26



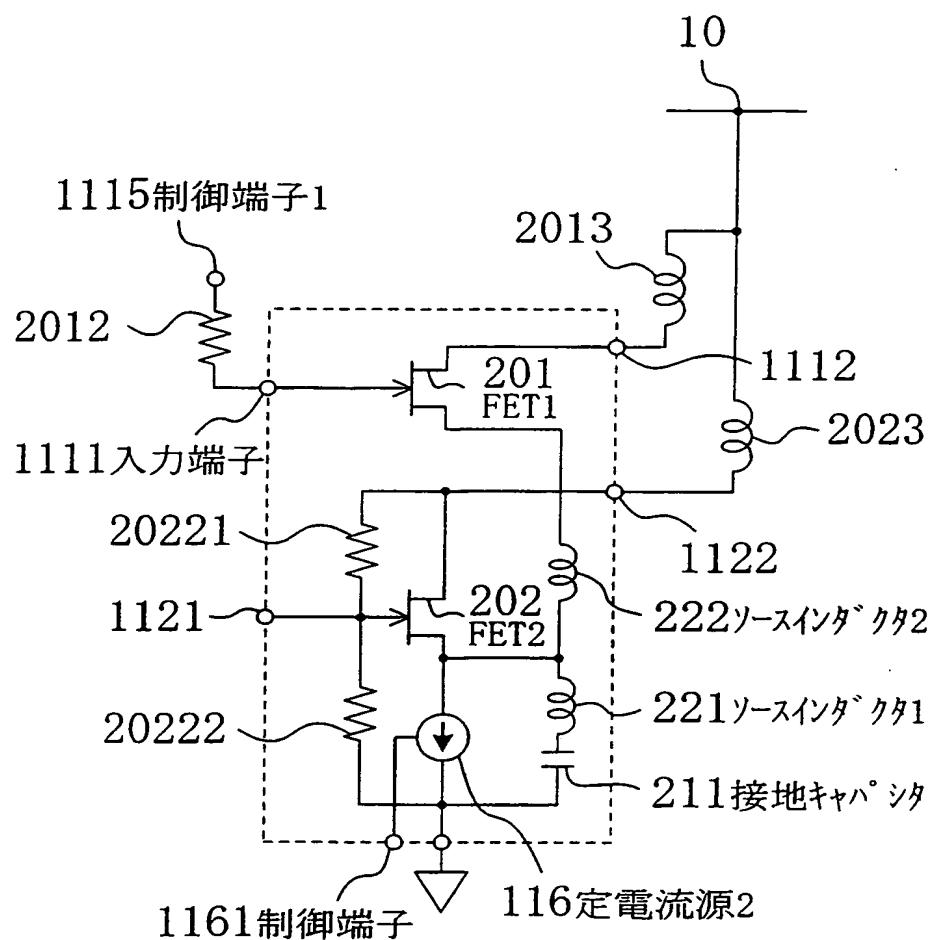
THIS PAGE BLANK (USPTO)

Fig. 27



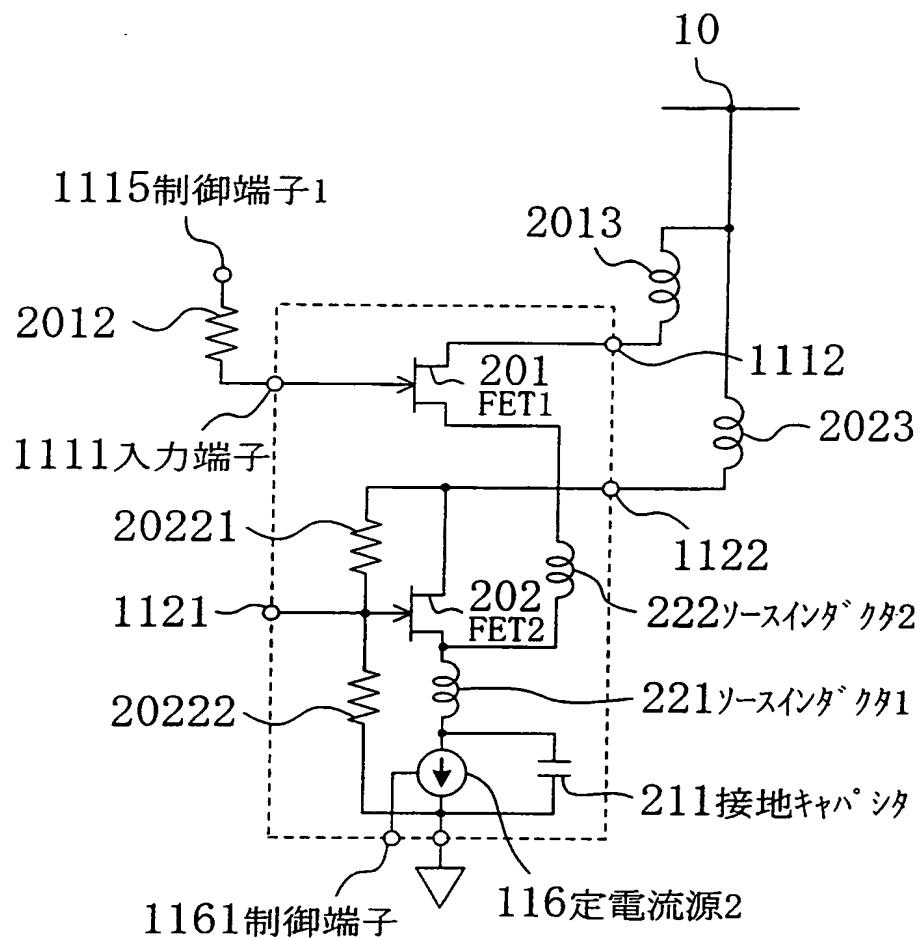
THIS PAGE BLANK (USPTO)

Fig. 28



THIS PAGE BLANK (USPTO)

Fig. 29



THIS PAGE BLANK (USPTO)

Fig. 30 (a)

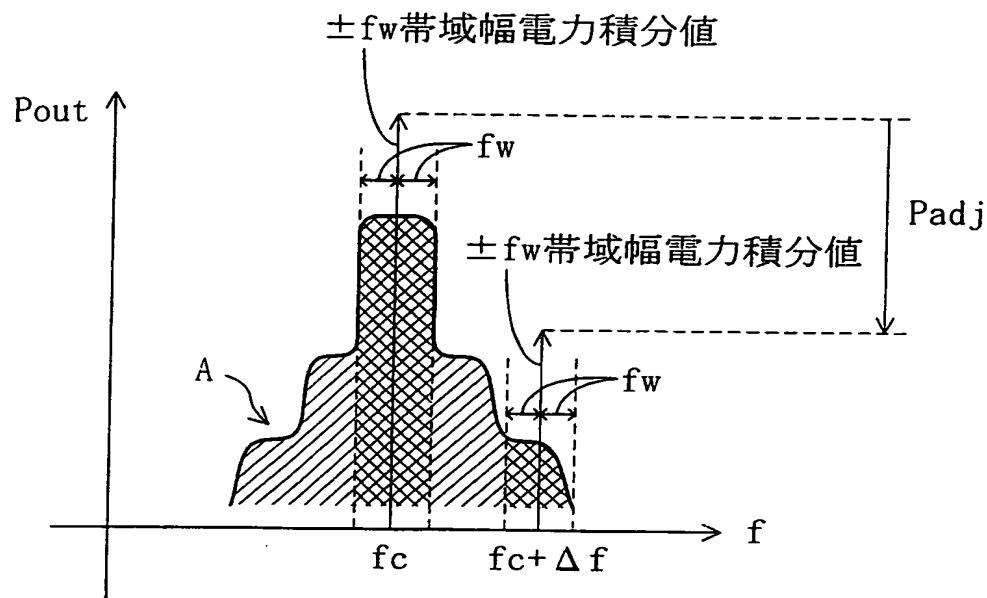
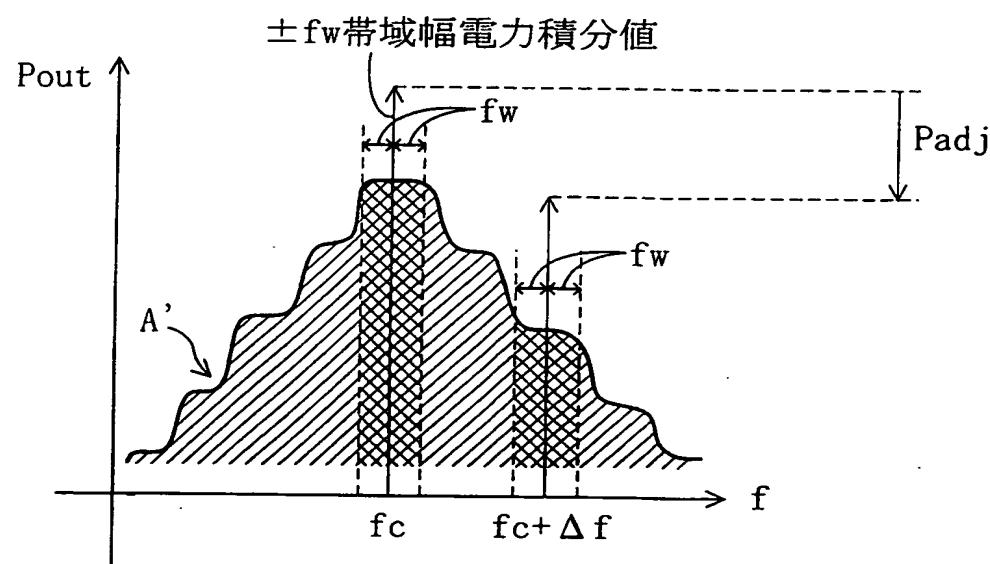
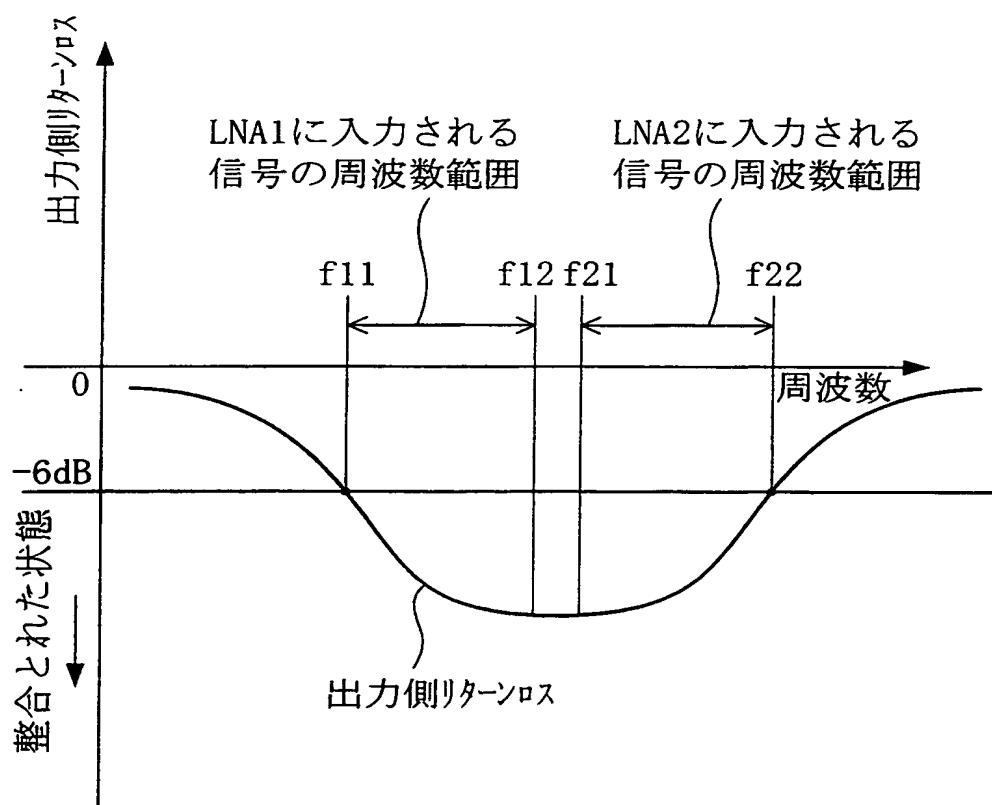


Fig. 30 (b)



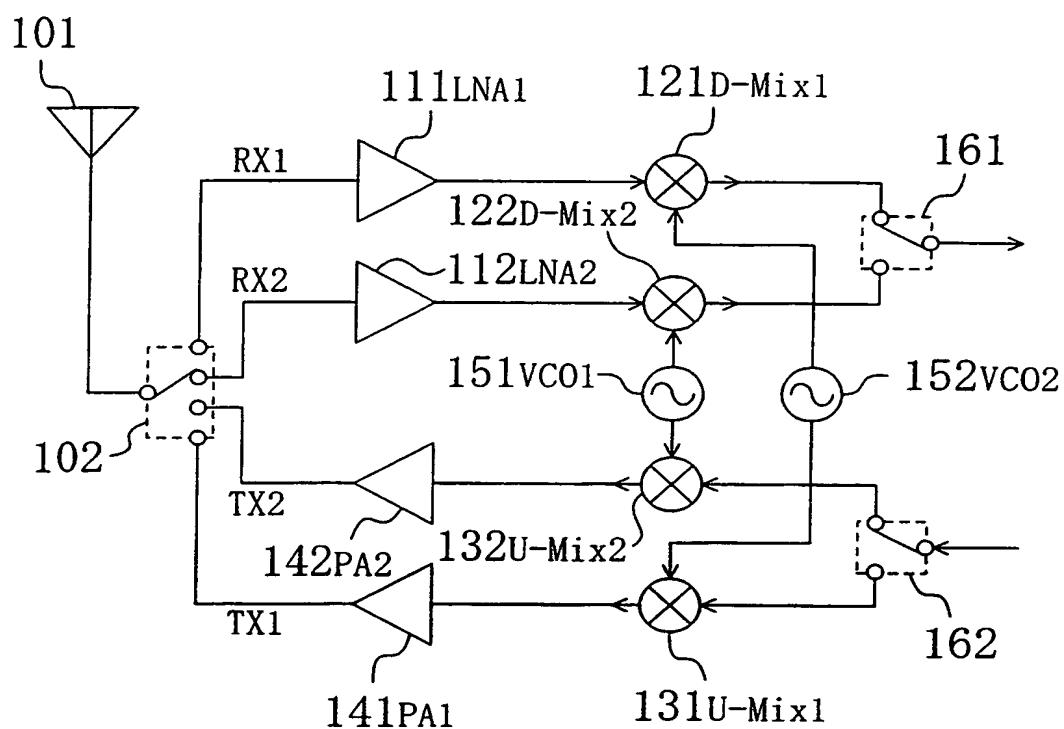
THIS PAGE BLANK (USPTO)

Fig. 31



THIS PAGE BLANK (USPTO)

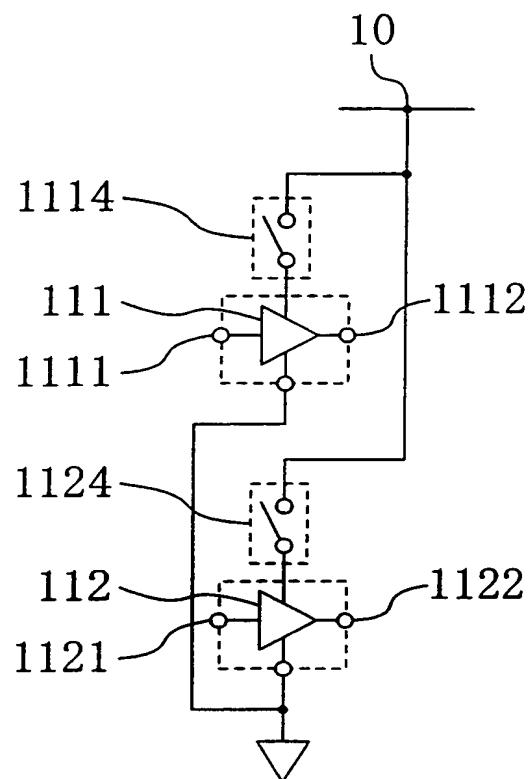
Fig. 32



THIS PAGE BLANK (USPTO)

33/33

Fig. 33



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01521

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F 3/68 , 3/72

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F 3/68 , 3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 10-313259, A (Sony Corporation), 24 November, 1998 (24.11.98) (Family: none)	1-4, 6, 10-11, 17 5, 7-9, 12-16
Y	JP, 2679495, B2 (Matsushita Electric Ind. Co., Ltd.), 01 August, 1997 (01.08.97) (Family: none)	1-4, 6, 10-11 17
A	JP, 10-65466, A (Anadeijitsukusu Inc.), 06 March, 1998 (06.03.98) & US, 5774017, A	1-17

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
05 June, 2000 (05.06.00)Date of mailing of the international search report
20 June, 2000 (20.06.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl' H03F 3/68, 3/72

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl' H03F 3/68, 3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996 年
 日本国公開実用新案公報 1971-2000 年
 日本国実用新案登録公報 1996-2000 年
 日本国登録実用新案公報 1994-2000 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 10-313259, A (ソニー株式会社) 24. 11月. 1998 (24. 11. 98) (ファミリーなし)	<u>1-4, 6,</u> <u>10-11,</u> <u>17</u>
A		5, 7-9, 12-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

05. 06. 00

国際調査報告の発送日

20.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4番 3号

特許庁審査官 (権限のある職員)

矢島 伸一

印

5T 9060

電話番号 03-3581-1101 内線 3567

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP, 2679495, B2 (松下電器産業株式会社) 1. 8月. 1997 (01. 08. 97) (ファミリーなし)	1-4, 6, 10-11 17
A	JP, 10-65466, A (アナディジックス、インコーポレイ テッド) 6. 3月. 1998 (06. 03. 98) &US, 5774017, A	1-17